



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**

FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO  
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

TEMA:

**Análisis comparativo de los algoritmos de coincidencia de ponderación  
máxima y protocolo de internet en línea serial iterativo sobre redes  
ópticas**

AUTOR:

Tenorio Figueroa, Roberto Steeven

Componente práctico del examen complejo previo a la  
obtención del grado de **INGENIERO EN TELECOMUNICACIONES**

REVISOR:

M. Sc. Pacheco Bohórquez, Héctor Ignacio

Guayaquil, Ecuador

6 de Marzo del 2020



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO  
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

## **CERTIFICACIÓN**

Certificamos que el presente **componente práctico del examen complejo**, fue realizado en su totalidad por **Tenorio Figueroa, Roberto Steeven** como requerimiento para la obtención del título de **INGENIERO EN TELECOMUNICACIONES**.

REVISOR

---

M. Sc. Pacheco Bohórquez, Héctor Ignacio

DIRECTOR DE CARRERA

---

M. Sc. Heras Sánchez, Miguel Armando

Guayaquil, 6 de marzo del 2020



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO  
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

**DECLARACIÓN DE RESPONSABILIDAD**

Yo, **Tenorio Figueroa, Roberto Steeven**

**DECLARÓ QUE:**

**El componente práctico del examen complejo: Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas**, ha sido desarrollado respetando derechos intelectuales de terceros conforme las citas que constan en el documento, cuyas fuentes se incorporan en las referencias o bibliografías. Consecuentemente este trabajo es de mi total autoría.

En virtud de esta declaración, me responsabilizo del contenido, veracidad y alcance del Trabajo de Titulación referido.

Guayaquil, 6 de marzo del 2020

EL AUTOR

---

TENORIO FIGUEROA, ROBERTO STEEVEN



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO  
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

### **AUTORIZACIÓN**

Yo, **Tenorio Figueroa, Roberto Steeven**

Autorizó a la Universidad Católica de Santiago de Guayaquil a la **publicación** en la biblioteca de la institución del **componente práctico del examen complejo: Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas** cuyo contenido, ideas y criterios son de mi exclusiva responsabilidad y total autoría.

Guayaquil, 6 de marzo del 2020

EL AUTOR

---

TENORIO FIGUEROA, ROBERTO STEEVEN

# REPORTE DE URKUND

The screenshot shows the URKUND interface with the following details:

- Documento:** Roberto\_Tenorio\_EC20198.docx (D64422269)
- Presentado:** 2020-02-25 17:12 (-05:00)
- Presentado por:** fernandopm23@hotmail.com
- Recibido:** edwin.palacios.ucsg@analysis.orkund.com
- Mensaje:** Revisión componente teórico Roberto Tenorio. [Mostrar el mensaje completo](#). 1% de estas 13 páginas, se componen de texto presente en 1 fuentes.

The right sidebar shows a list of sources:

Categoría	Enlace/nombre de archivo
	Tesis Terminada Joselyne Escobar_1 (arreglada),...
	Tesis Terminada Joselyne Escobar.docx
<b>Fuentes alternativas</b>	
	Tesis Terminada Joselyne Escobar_1 (arreglada).f...
	https://docplayer.es/92280358-Universidad-catól...
	https://docplayer.es/78785703-Universidad-catól...
<b>Fuentes no usadas</b>	

At the bottom, there are navigation icons and a toolbar with options: 0 Advertencias, Reciclar, Exportar, and Compartir.

UNIVERSIDAD CATÓLICA DE SANTIAGO DE GUAYAQUIL FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

TEMA:

Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas

AUTOR: Tenorio Figueroa, Roberto Steeven

Componente práctico del examen complejo

previo a la obtención del grado de INGENIERO EN TELECOMUNICACIONES

REVISOR: M. Sc. Pacheco Bohórquez, Héctor Ignacio

Guayaquil, Ecuador

28 de febrero del 2020

UNIVERSIDAD CATÓLICA DE SANTIAGO DE GUAYAQUIL FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

## **DEDICATORIA**

Dedico este trabajo a mi familia porque sin el apoyo de ellos nada de esto sería posible, a mi abuelita que desde el cielo ha sido la mayor guía e inspiración que he tenido en estas últimas instancias de mi carrera y a todos mis amigos que siempre estuvieron apoyándome en especial a mi mejor amiga Joselyn Guayamabe ya que ha sido la persona que más apoyo me ha brindado en todos estos años de carrera, hoy en día puedo decir que son las personas más importantes en mi vida y por último a Dios por brindarme la dicha de cumplir la meta más importante en mi vida.

**EL AUTOR**

**TENORIO FIGUEROA, ROBERTO STEEVEN**

## **AGRADECIMIENTO**

En primer lugar, agradezco a Dios por haberme dado la oportunidad de haber culminado mi carrera con mucha salud, agradezco a mi mamá Mercedes Figueroa y a mi papá Roberto Tenorio, gracias a ellos mi sueño de ser Ingeniero en Telecomunicaciones se hace realidad, le agradezco a Allison Torres quien fue la persona que me ayudó en los momentos más difíciles en todos los años de mi carrera y me impulsó a ser mejor persona día a día para poder alcanzar mi meta.

EL AUTOR

TENORIO FIGUEROA, ROBERTO STEEVEN



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO  
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

**TRIBUNAL DE SUSTENTACIÓN**

f. \_\_\_\_\_

**M. Sc. ROMERO PAZ, MANUEL DE JESÚS**  
DECANO

f. \_\_\_\_\_

**M. Sc. HERAS SÁNCHEZ, MIGUEL ARMANDO**  
DIRECTOR DE CARRERA

f. \_\_\_\_\_

**M. Sc. PALACIOS MELÉNDEZ, EDWIN FERNANDO**  
OPONENTE

## ÍNDICE GENERAL

CAPÍTULO 1: DESCRIPCIÓN DEL COMPONENTE PRÁCTICO .....	2
1.1. Introducción. ....	2
1.2. Objetivo General. ....	3
1.3. Objetivos Específicos. ....	3
CAPÍTULO 2: Estado del arte de redes en chip. ....	4
2.1. Redes totalmente ópticas en chip. ....	4
2.2. Propuestas NoC totalmente ópticas. ....	4
Capítulo 3: Diseño y Simulación. ....	9
3.1. Primera etapa: emparejamiento o coincidencia. ....	9
3.1.1. Algoritmo de coincidencia ponderada máxima – MWM. ....	9
3.1.2. Algoritmo del protocolo de internet de línea serial iterativa – iSLIP. ....	10
3.2. Segunda etapa: asignación de longitud de onda. ....	13
3.3. Resultados experimentales .....	15
3.3.1. Análisis de resultados obtenidos del algoritmo de coincidencia ponderada máxima – MWM. ....	15
3.3.2. Análisis de resultados obtenidos del algoritmo del protocolo de internet de línea serial iterativa – iSLIP. ....	19
3.4. Análisis comparativo entre los algoritmos MWM e iSLIP .....	21
Conclusiones .....	25
Recomendaciones. ....	26
Bibliografía. ....	27

## ÍNDICE DE FIGURAS

### Capítulo 2:

Figura 2. 1: Topología de barra transversal doblada.....	5
Figura 2. 2: Topología snake.....	6

### Capítulo 3:

Figura 3. 1: Bordos de emparejamiento para el algoritmo MWM.....	10
Figura 3. 2: Pasos de concesión del algoritmo iSLIP.....	11
Figura 3. 3: Algoritmo iSLIP para aceptación de pasos.....	12
Figura 3. 4: Algoritmo iSLIP después de la primera iteración.....	12
Figura 3. 5: Algoritmo iSLIP después de la segunda iteración.....	12
Figura 3. 6: Solución final del algoritmo iSLIP.....	12
Figura 3. 7: Asignación de longitud de onda para anillo unidireccional fijo. ..	13
Figura 3. 8: Asignación de longitud de onda para anillo unidireccional sintonizable.....	14
Figura 3. 9: Longitud promedio de salto del bus unidireccional.....	16
Figura 3. 10: Longitud promedio de salto para anillo unidireccional.....	16
Figura 3. 11: 1era etapa MWM – transmisores sintonizables, latencia vs carga para $W=4$ y $8$ .....	17
Figura 3. 12: 1era etapa MWM – transmisores fijos, latencia vs carga para $W=4$ y $8$ .....	17
Figura 3. 13: Latencia vs. carga para $W = 4$ y primer paso MWM.....	18
Figura 3. 14: Latencia vs. carga para $W = 8$ y primer paso MWM.....	18
Figura 3. 15: 1era etapa – transmisores sintonizables, latencia vs carga para $W=4$ y $8$ .....	19
Figura 3. 16: 1era etapa – transmisores fijos, latencia vs carga para $W=4$ y $8$ . .....	20
Figura 3. 17: Latencia vs. carga para $W = 4$ y primer paso iSLIP.....	21
Figura 3. 18: Latencia vs. carga para $W = 8$ y primer paso iSLIP.....	21
Figura 3. 19: 1era etapa iSLIP o MWM – transmisores sintonizables, latencia vs carga para $W= 8$ .....	22
Figura 3. 20: 1era etapa iSLIP o MWM – transmisores fijos, latencia vs carga para $W= 8$ .....	23

Figura 3. 21: 1era etapa iSLIP o MWM – transmisores fijos, latencia vs carga para $W=4$ . .....	23
Figura 3. 22: 1era etapa – transmisores sintonizables: latencia vs. carga para $W=4$ . y primer paso iSLIP o MWM .....	24

## Resumen

En el presente documento se muestra el desarrollo del componente práctico del examen complejo denominado “Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas”. En este proyecto se refleja la practicidad y conocimientos obtenidos en la formación de Ingeniero en Telecomunicaciones. En la formación investigativa se emplearon diferentes herramientas de simulación, tales como, Riverbed Modeler, OMNeT++, NS-3, OptiSystem, entre otros, y fue MatLab la herramienta más apropiada para modelar los algoritmos propuestos sobre redes de comunicaciones ópticas. En el primer capítulo se describen brevemente la introducción, objetivo general y objetivos específicos del proyecto propuesto. En el segundo capítulo se describen los componentes teóricos de las redes en chip (NoC) y redes ópticas en chip (ONoC). En el tercer capítulo se diseña y evalúa los resultados de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo.

**Palabras claves:** CHIP, PROTOCOLO, INTERNET, ÓPTICA, SIMULACIÓN, PONDERACIÓN.

## CAPÍTULO 1: DESCRIPCIÓN DEL COMPONENTE PRÁCTICO

### 1.1. Introducción.

La progresión constante en la arquitectura de computadoras y teléfonos inteligentes y el crecimiento continuo de la cantidad de transistores en un chip implican una necesidad creciente de redes en chip de alto rendimiento, bajo costo y de bajo consumo de energía. En el próximo futuro, las interconexiones electrónicas ya no podrán cumplir estos requisitos. (Channoufi et al., 2013)

Los numerosos avances en la integración fotónica de silicio y la realización y fabricación exitosa de dispositivos microópticos como fotodetectores, moduladores, buffers e interruptores ópticos impulsan los estudios sobre la generación futura de sistemas multiprocesador en chip utilizando interconexiones ópticas.

Una red óptica en chip (ONoC) se basa en un interruptor que es capaz de enrutar información de un elemento del chip a otro, presentando una alta velocidad de datos y una latencia reducida durante la transmisión. Una manera eficiente de lograr dicha funcionalidad es combinar interruptores elementales 4x4 para formar un interruptor general YxY. (Le Maitre et al., 2018)

Recientemente, la red óptica en chip (ONoC) se concibió como una tecnología disruptiva para superar los problemas de la red en chip eléctrica (*Electrical NoC, ENoC*) tradicional. Aunque ONoC promete comunicación de bajo consumo y alto rendimiento, también presentan desafíos de diseño. (Zhou et al., 2016)

La configuración tradicional y los tipos de enrutadores ópticos en ONoC enfrentan varios problemas, como la complejidad del algoritmo de enrutamiento, la limitación en el número de interconexiones, un número bastante alto de microanillos (microrings) que involucran muchos problemas, como la conversación cruzada, y la necesidad de alta potencia para controlar los microrings. (Channoufi et al., 2011)

## **1.2. Objetivo General.**

Analizar comparativamente los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas utilizando programación de alto nivel C++.

## **1.3. Objetivos Específicos.**

- a. Describir brevemente el estado del arte de las redes ópticas en chip.
- b. Diseñar los escenarios de programación de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo.
- c. Evaluar los resultados obtenidos de los escenarios de simulación propuestos.

## **CAPÍTULO 2: Estado del arte de redes en chip.**

En esta sección se realiza la descripción general del estado del arte relacionada a las redes en chip.

### **2.1. Redes totalmente ópticas en chip.**

Con el aumento de los recuentos de núcleos, el tamaño de las matrices, las distancias en el chip y la falta de escalamiento tecnológico de las interconexiones eléctricas, en ese momento surgía la duda que de pronto se llegaría a un punto en el que una tecnología completa cambiaría las redes en chip (*Network on Chip, NoC*) eléctricos a NoCs ópticos, es decir, que realizarían únicamente transmisión de datos, y podría ofrecer la mayor eficiencia energética. Los beneficios de realizar la transmisión de datos totalmente óptica son claros: baja energía incluso para grandes distancias, transmisión de datos ópticos de alta velocidad y densidad de ancho de banda a través de la tecnología de multiplexación densa por división de longitudes de onda (*Dense Wavelength Division Multiplexing, DWDM*).

Al mismo tiempo, las redes en chip (NoC) eléctricos son muy sensibles a la distancia, ya que puede ser necesario un gran número de saltos, es decir, recorridos de enlace y enrutador para llegar a un destino, lo que genera latencia y energía adicionales para cada salto, congestión de red, requisitos de búfer en nodos intermedios y escasa escalabilidad para aumentar el número de nodos. Para hacer que las NoCs totalmente ópticos sean superiores a las NoCs eléctricas, los diseños deben exhibir una baja potencia estática al disminuir el número de longitudes de onda, longitudes de ruta y otros.

### **2.2. Propuestas NoC totalmente ópticas.**

La comunicación total y sin restricciones requiere una barra transversal óptica, que simplemente se puede implementar mediante el uso de buses de escritura única-lectura múltiple (*Single-Writer-Multiple-Reader, SWMR*) o de escritura múltiple-lectura única (*Multiple-Writer-Single-Reader, MWSR*) con un bus asignado a cada emisor (en este caso, SWMR) o receptor (en este

caso, MWSR); sin embargo, esto escala el recuento de la guía de onda linealmente con el número de nodos, lo que causa un gran número de resonadores microanillos (*Microring Resonators, MR*) y enlaces ópticos y, a su vez, sobrecargas de energía inaceptables.

Los NoCs ópticos enrutados por longitud de onda (*Wavelength-Routed Optical NoCs, WRONoC*) superan este problema mediante la implementación de filtros selectivos de longitud de onda para enrutar señales ópticas a través de la red de acuerdo con su longitud de onda. Un remitente selecciona una longitud de onda para la modulación en función del destino que desea direccionar. Las longitudes de onda se reutilizan en todos los remitentes, y cada remitente utiliza una longitud de onda diferente para dirigirse al destino.

En consecuencia, una WRONoC de N-nodos requiere N longitudes de onda diferentes en el NoC, una para cada destino, para permitir que cada emisor transmita datos a cada receptor. Para evitar la corrupción de datos de dos señales ópticas enviadas en las mismas longitudes de onda en la misma guía de onda, se implementan interruptores basados en filtros MR para proporcionar rutas libres de colisión entre cualquier par fuente-destino.

El algoritmo de enrutamiento (basado en la longitud de onda) está incrustado en los interruptores MR y, por lo tanto, es determinista. En la revisión del estado del arte existen varias propuestas de topologías para WRONoC, como el I-Router, la barra transversal doblada y snake (serpiente). Las figuras 2.1 y 2.2 ilustran las dos últimas topologías.

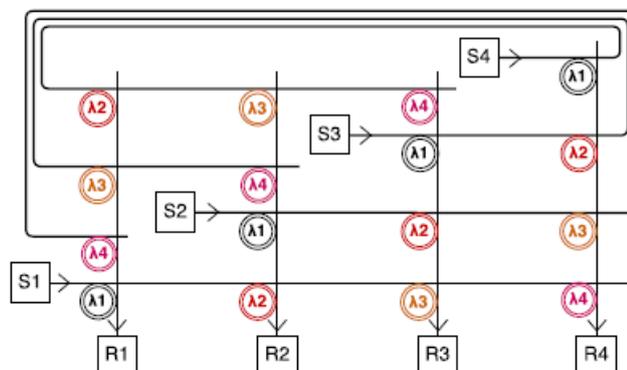


Figura 2. 1: Topología de barra transversal doblada.  
Elaborado por: Autor

Los filtros MR se colocan tal como se muestran en las figuras 2.1 y 2.2 para dejar caer las longitudes de onda de modo que las señales ópticas se envíen a los destinos correctos. Los remitentes elegirán la longitud de onda asignada al destino para la modulación de datos, que luego se enrutará a través de la red hacia el destino. Múltiples pares de origen-destino se comunicarán en las mismas longitudes de onda, que son caminos garantizados libres de colisión a través de las redes en chip (NoC).

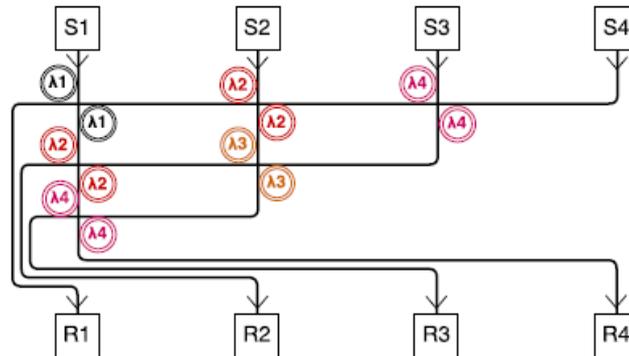


Figura 2. 2: Topología snake.  
Elaborado por: Autor

Cada remitente debe tener moduladores para poder direccionar cada destino. Siendo realistas, se requiere más de una longitud de onda para proporcionar a la red en chip (NoC) un rendimiento suficiente. Por ejemplo, solo una longitud de onda por emisor daría como resultado un ancho de banda de enlace de 2 bits/ciclo para una frecuencia central de 5 GHz y moduladores de 10 Gbps. Por lo tanto, se asigna un conjunto de longitudes de onda (conjunto  $\lambda$ ) a cada nodo para la transmisión de datos.

Como todos los nodos requieren moduladores  $(N - 1) \cdot \lambda$ , el número de MR necesarios solo para la modulación es  $(N - 1) \cdot N \cdot \lambda$  en un WRONoC libre de contención total, y eso no tiene en cuenta los MR para realizar el enrutamiento selectivo de longitud de onda (depende de la topología) y el filtrado en el receptor  $((N - 1) \cdot \lambda)$ . Además, un láser (o láseres múltiples) debe proporcionar  $N \cdot \lambda$  longitudes de onda a la red en chip (NoC). La conmutación sin contención de las barras transversales WRONoC, por lo tanto, tiene una escalabilidad pobre con respecto a la potencia de calentamiento láser y del MR.

Aunque el número de longitudes de onda en estas red en chip (NoC) podría reducirse aumentando el número de guías de onda (multiplexación por división espacial), este enfoque está limitado por las restricciones de diseño y la sobrecarga de área y no resuelve fundamentalmente el problema del consumo de energía y la escalabilidad. Por lo tanto, este tipo de red en chip (NoC) totalmente ópticos solo son prácticos para multiprocesadores de chips (*Chip Multiprocessors, CMP*) de escalas más pequeñas (16 núcleos y menos).

Ye et al., (2013) propone una WRONoC para redes ópticas en chip (ONoC) basados en malla 3D que permite una topología regular y enrutadores ópticos ligeros y sin bloqueo con enrutamiento de orden de dimensiones como se conoce a las redes en chip (NoCs) eléctricos; sin embargo, al igual que los diseños anteriores, su topología consiste en interruptores ópticos integrales, que conducen a grandes requisitos de resonancia magnética, y dependen de una gran cantidad de conmutación de longitud de onda que contribuye considerablemente a las pérdidas generales del trayecto y, a su vez, a la potencia del láser. Teniendo en cuenta a Li et al., (2015) en su trabajo Aurora proporciona una estructura de malla y, por lo tanto, tiene inconvenientes similares.

Según Ramini et al., (2013) las topologías que utilizan elementos de conmutación (es decir, filtros MR) para realizar el enrutamiento son absolutamente necesarias, o si las topologías de anillo que dependen de la multiplexación por división espacial (*Spatial Division Multiplexing, SDM*), es decir, la comunicación extendida a través de varias guías de onda diferentes, en lugar de la conmutación de MR que pueden proporcionar mayor eficiencia, particularmente porque su diseño impone menos cruces de guía de onda.

Sus resultados revelan que las topologías de anillo óptico, aunque más simples, ofrecen escasa escalabilidad con respecto a las longitudes de la guía de ondas (y a su vez las pérdidas de propagación) al depender de SDM para el enrutamiento y tienen altos requisitos de conectividad, lo que se traduce en una mayor potencia a medida que aumenta el número de nodos. Teniendo en cuenta que su estudio se basa en la pérdida de propagación de la guía de

onda de 0.15 dB/mm; sin embargo, desde entonces, se han demostrado guías de onda con una pérdida significativamente menor (0.0271 dB/mm), lo que puede hacer que las topologías en anillo sean más favorables.

Todavía no se ha publicado una comparación de estos dos tipos de topologías con parámetros de tecnología más avanzada, pero sin duda sería interesante ya que las topologías en anillo no requieren MR para la conmutación y, a su vez, menos calentamiento de MR.

En general, los WRONoC sin contención tienen una escalabilidad muy limitada debido al alto poder de ajuste de MR que hace que estos enfoques no sean factibles para un mayor número de núcleos. Sin embargo, la operación sin contención a menudo es innecesaria para satisfacer las demandas de comunicación en chip, y la implementación de algún tipo de intercambio de recursos puede ayudar a aliviar el consumo de energía y el problema de escalabilidad de WRONoC. Este enfoque ha sido evaluado por una serie de propuestas recientes que utilizan diferentes formas de compartir recursos.

## Capítulo 3: Diseño y Simulación.

En este capítulo se presenta el marco de programación de dos etapas para redes óptica en chip (ONoC). Se consideran dos implementaciones alternativas que realizan la programación en dos etapas; (i) la primera etapa es la etapa de adaptación que se realiza mediante la representación de cada par de nodos como gráfico bipartito de entrada y haciendo coincidir los puertos de entrada y salida (ii) la segunda etapa realiza la asignación de longitud de onda entre cada par de nodos evitando colisiones y también con la consideración de continuidad de longitud de onda.

### 3.1. Primera etapa: emparejamiento o coincidencia.

La figura 3.1 muestra la etapa de emparejamiento que consiste en encontrar la coincidencia de los puertos de entrada con los puertos de salida que tienen el mayor peso. Por lo tanto, se puede definir como una coincidencia ponderada máxima en un gráfico bipartito. En el gráfico bipartito que se muestra en la figura 3.1, los nodos representan los puertos. Se agrega un enlace  $(i, j)$  entre el puerto de entrada  $i$  y el puerto de salida  $j$ , si el puerto de entrada  $i$  tiene al menos un paquete para el puerto de salida  $j$ , almacenado en la cola de salida virtual (*Virtual Output Queue, VOQ*) correspondiente.

Los bordes que conectan los nodos de un gráfico bipartito tienen pesos asociados a longitudes de cola u otras métricas de acuerdo con la política de programación adoptada (por ejemplo, imparcialidad, reducción de retardo, retardo limitado). El problema de coincidencia puede abordarse con diferentes algoritmos de programación bien conocidos que intercambian la optimización por la complejidad computacional. Dos de ellos se utilizan para esta investigación y se describen a continuación.

#### 3.1.1. Algoritmo de coincidencia ponderada máxima – MWM.

El algoritmo *MWM* encuentra la coincidencia con el mayor peso. Este algoritmo puede dar preferencia a las colas con una ocupación mayor o a los paquetes que han estado esperando más tiempo. Depende del peso de los

enlaces en el gráfico bipartito. Para este examen complejo se considera el algoritmo MWM que utiliza la longitud de la cola.

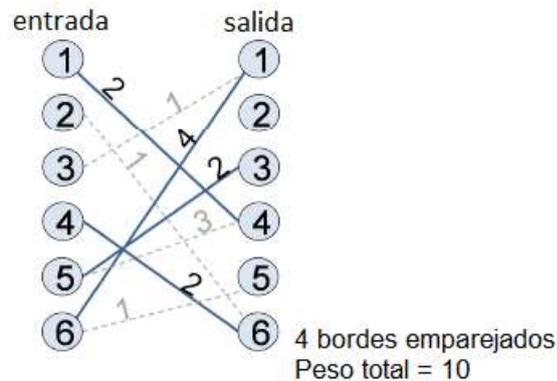


Figura 3. 1: Bordes de emparejamiento para el algoritmo MWM.  
Elaborado por: Autor.

En la etapa de investigación se ha encontrado que el algoritmo MWM alcanza un rendimiento del 100% en cualquier proceso de llegada de paquetes. Además, el algoritmo también proporciona un bajo retardo. Sin embargo, su buen rendimiento y estabilidad se producen a expensas de la alta complejidad computacional, lo que hace que este algoritmo de programación sea excesivamente costoso para la implementación práctica en interruptores de alta velocidad.

### 3.1.2. Algoritmo del protocolo de internet de línea serial iterativa – iSLIP.

Los algoritmos de coincidencia máxima tienen como objetivo aproximar la coincidencia de tamaño máximo a través de algoritmos iterativos, rápidos y simples de implementar. Pueden proporcionar un rendimiento del 100% bajo tráfico uniforme y un rendimiento de retardo bastante bueno también. Sin embargo, no son estables bajo tráfico no uniforme. Los algoritmos de coincidencia iterativa paralela (*Parallel Iterative Matching, PIM*) y protocolo de internet de línea serial iterativa (*iterative Serial Line Internet Protocol, iSLIP*) pertenecen a esta categoría.

Para este trabajo de examen complejo, también se ha considerado el algoritmo SLIP con múltiples iteraciones y se denomina *iSLIP* (SLIP iterativo). Por ejemplo, la solución *iSLIP* para la primera iteración se muestra en la figura 3.4. Cada iteración intenta agregar coincidencias no realizadas por iteraciones

anteriores, tal como se muestra en la figura 3.5. Las coincidencias realizadas en una iteración nunca se eliminan por una iteración posterior, incluso si es de un tamaño más grande, el resultado sería mostrado por la figura 3.6. Los tres pasos de cada iteración funcionan en paralelo en cada salida y entrada, que se describe a continuación:

- Paso 1 – Solicitud: cada entrada no coincidente envía una solicitud a cada salida para la que tiene un paquete en cola.
- Paso 2 – Concesión: si una salida no coincidente recibe alguna solicitud, elige la que aparece a continuación en un horario fijo de turnos a partir del elemento de mayor prioridad. El paso de concesión de iSLIP se muestra en la figura 3.2. La salida notifica cada entrada independientemente de si su solicitud fue otorgada o no. El puntero  $g_i$  apuntando al elemento de mayor prioridad del horario de turnos. El puntero  $g_i$  se incrementa (módulo N) a una ubicación más allá de la entrada otorgada si y solo si la concesión se acepta en el Paso 3 de la primera iteración.

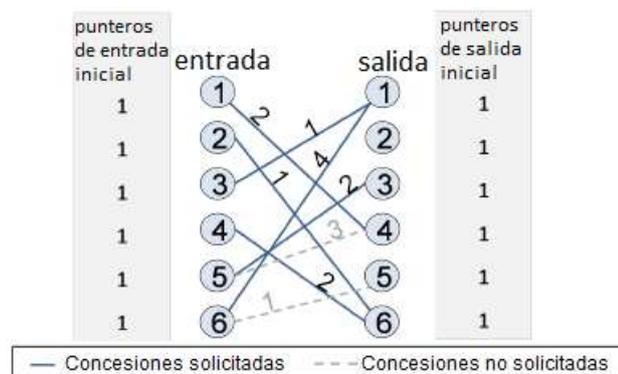


Figura 3. 2: Pasos de concesión del algoritmo iSLIP.  
Elaborado por: Autor.

- Paso 3. Aceptación: si una entrada no coincidente recibe una concesión, acepta la que aparece a continuación en un horario fijo de turnos a partir del elemento de mayor prioridad. El paso de aceptación de iSLIP se muestra en la figura 3.3.

El puntero  $ai$  al elemento de mayor prioridad de la programación de turnos rotativos es incrementar (módulo N) a una ubicación más allá de la salida aceptada solo si esta entrada coincide en la primera iteración.

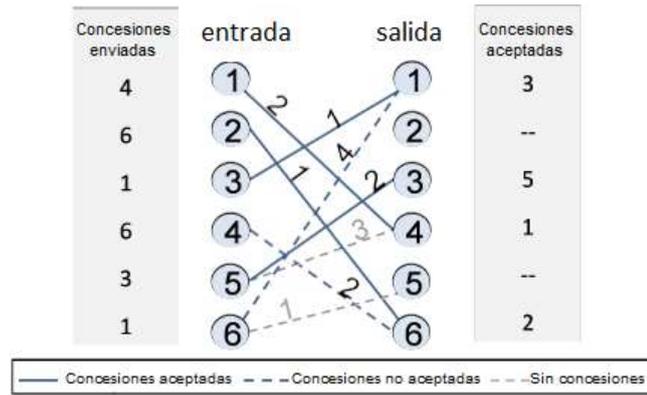


Figura 3. 3: Algoritmo iSLIP para aceptación de pasos.  
Elaborado por: Autor.

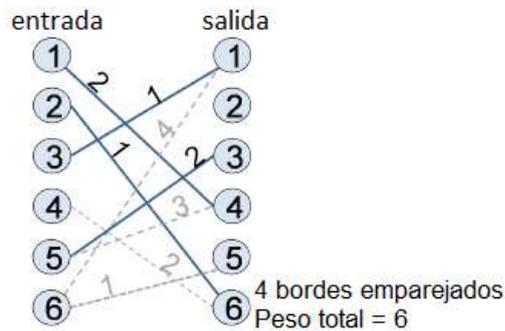


Figura 3. 4: Algoritmo iSLIP después de la primera iteración.  
Elaborado por: Autor.

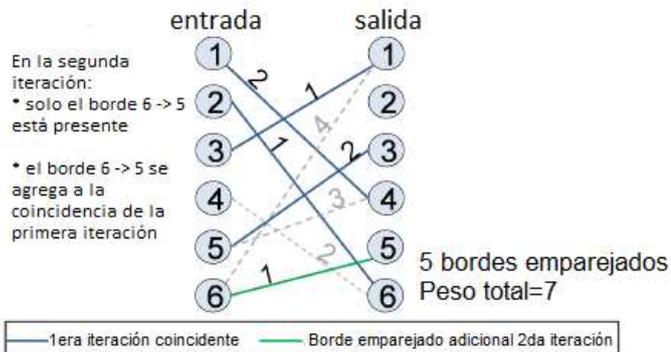


Figura 3. 5: Algoritmo iSLIP después de la segunda iteración  
Elaborado por: Autor

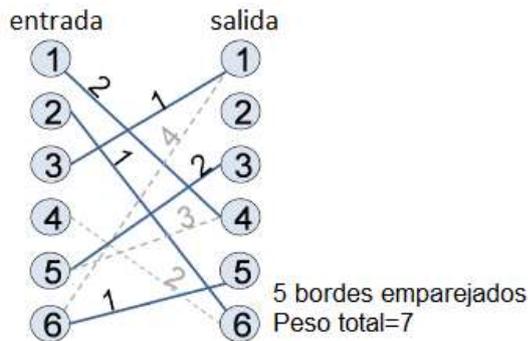
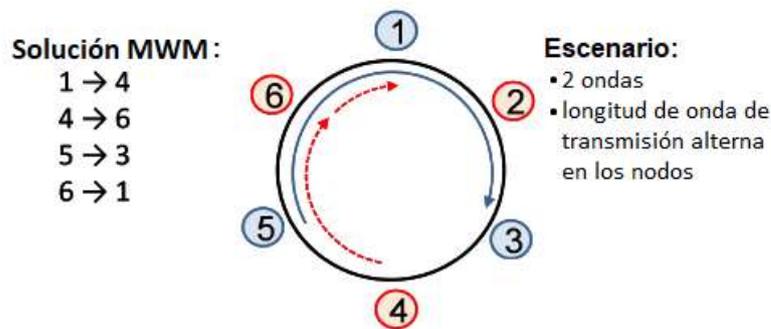


Figura 3. 6: Solución final del algoritmo iSLIP  
Elaborado por: Autor

### 3.2. Segunda etapa: asignación de longitud de onda.

Para esta etapa, se implementa el primer algoritmo de asignación de longitud de onda. Este paso de asignación de longitud de onda consiste en seleccionar una longitud de onda para cada ruta de los pares de puertos coincidentes y en eliminar las transmisiones que conducirían a una colisión. Según el tipo de transmisores (sintonizables o fijos), se pueden aplicar dos tipos de técnicas de asignación de longitud de onda, que es la asignación de longitud de onda sintonizable y fija. Se corrigió la implementación de asignación de longitud de onda aplicada para la implementación fija de redes ópticas en chip (ONoC). Donde se aplica la asignación de longitud de onda sintonizable para la implementación de ONoCs sintonizables.

La asignación de longitud de onda fija permite asignar longitud de onda entre cada par de nodos cuando el número de nodos es igual al número de longitudes de onda, pero en el caso de un menor número de longitudes de onda podría haber un bloqueo, tal como se muestra en la figura 3.7.



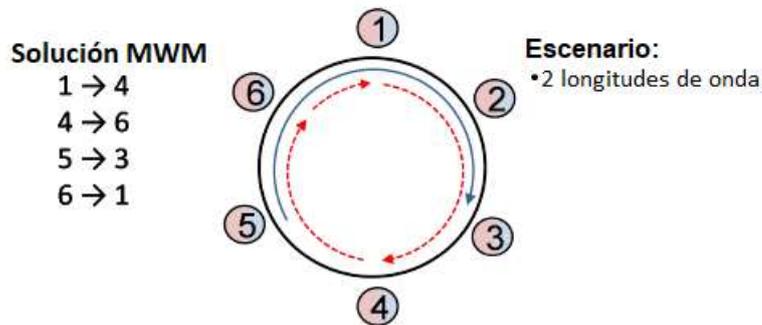
La reutilización del espacio se explota en la longitud de onda roja  
La demanda 1→4 no puede ser soportada

Figura 3. 7: Asignación de longitud de onda para anillo unidireccional fijo.

Elaborado por: Autor.

La asignación de longitud de onda sintonizable permite la asignación de longitud de onda entre cada par de nodos cuando el número de nodos es igual al número de longitudes de onda. La figura 3.8 muestra cuando el número de longitud de onda es menor que el número de nodos podría haber un bloqueo. Para resolver este problema, primero se aplica la política de la ruta más larga y luego las rutas se asignan a las longitudes de onda de una manera adecuada. Gracias a las características de la capacidad de ajuste de esta

implementación, que permite utilizar (sintonizar) cualquier longitud de onda disponible.



La reutilización del espacio se explota en la longitud de onda roja  
Todas las demandas pueden ser soportadas

Figura 3. 8: Asignación de longitud de onda para anillo unidireccional sintonizable  
Elaborado por: Autor.

La asignación de longitud de onda en implementaciones sintonizables o ajustables se puede dividir en dos escenarios diferentes, dependiendo del número de longitudes de onda a la relación de puertos:

- **Longitud de onda/Número de puertos igual a uno:** en esta situación, dado que cada puerto puede recibir y transmitir como máximo un paquete por intervalo de tiempo es posible asignar una longitud de onda única a cada puerto de entrada o salida sin perder la flexibilidad y el rendimiento.
- **Longitud de onda/Número de puertos menos de uno:** en esta situación, el problema de asignación de longitud de onda y coincidencia debe resolverse simultáneamente. En el problema de asignación de longitud de onda, una de las longitudes de onda se selecciona del conjunto de longitudes de onda para el par de puertos de entrada y salida emparejados utilizando una primera técnica de asignación de longitud de onda, mientras se evita la colisión de paquetes.

Si no hay una longitud de onda disponible en todos los enlaces de la ruta, el par de puertos coincidentes se elimina de la lista, es decir, el paquete correspondiente no se puede transmitir en el intervalo de tiempo considerado, pero se considerará en el intervalo de tiempo posterior. En general, la primera

asignación de longitud de onda requiere un conocimiento global sobre la red. Se necesita una base de datos para mantener la información sobre la reserva de recursos. Por lo tanto, se prevé un planificador centralizado.

### **3.3. Resultados experimentales**

El rendimiento de la estructura de programación óptima de dos etapas descritas en las secciones anteriores se evalúa mediante un simulador personalizado basado en eventos implementado en Python. La latencia o retardo promedio de espera (es decir, el número promedio de intervalos de tiempo que el paquete pasa en el búfer antes de su transmisión) se recopila para un bus unidireccional y topologías de anillo utilizando varias configuraciones de longitudes de onda (es decir,  $4 \leq W \leq 8$ ) en función del número de nodos es igual a ocho (es decir,  $N=8$ ).

La duración del intervalo de tiempo se normaliza a 1, que corresponde al tiempo de transmisión de un paquete más el tiempo de guarda. Para el caso del transmisor fijo, a los puertos de entrada se les asignan las diferentes longitudes de onda de forma circular. Los paquetes se generan en cada puerto de acuerdo con un proceso de Bernoulli. Para el algoritmo iSLIP, se realizan cuatro iteraciones. Las simulaciones se ejecutan para un gran número de paquetes hasta que el intervalo de confianza del retardo promedio sea inferior al 5% para un nivel de confianza del 95%.

#### **3.3.1. Análisis de resultados obtenidos del algoritmo de coincidencia ponderada máxima – MWM.**

Las figuras 3.11 y 3.12 muestran la comparación de latencia (retardo) en función de la carga de la red óptica en chip (ONoC) cuando se utiliza el algoritmo de coincidencia ponderada máxima (MWM) en la primera etapa. La comparación del retardo promedio en la cola de los paquetes contra diferentes cargas de tráfico. Se consideran tres tipos de topologías: BUS-1, buses unidireccionales con un transmisor por nodo; BUS-2, buses unidireccionales con dos transmisores por nodo; y RING, anillo unidireccional con un transmisor por nodo. Los transmisores fijos y sintonizables se consideran alternativamente en cada topología.

La figura 3.12 muestra que el BUS-1 fijo tiene una latencia más alta que RING. Sin embargo, la figura 3.9 muestra la longitud promedio de salto para BUS-1, es decir  $(N + 1)/3$  frente a la figura 3.10 muestra  $N/2$  para RING. Este resultado inesperado se debe al hecho de que en el BUS-1 solo la mitad de las longitudes de onda están disponibles para paquetes en una dirección de transmisión y, por lo tanto, la programación desequilibrada de más paquetes  $W/2$  en una dirección puede no ser compatible.

$$\begin{aligned}
& \sum_{i=1}^{N-1} \sum_{j=i+1}^N (j - i) \cdot \frac{2}{N(N-1)} = \\
& \frac{2}{N(N-1)} \left( \sum_{i=1}^{N-1} \sum_{j=i+1}^N j - \sum_{i=1}^{N-1} \sum_{j=i+1}^N i \right) = \\
& \frac{2}{N(N-1)} \left( \sum_{i=1}^{N-1} \left( \sum_{j=1}^N j - \sum_{j=1}^i j - \sum_{j=1}^N i + \sum_{j=1}^i i \right) \right) = \\
& \frac{2}{N(N-1)} \sum_{i=1}^{N-1} \left( \frac{N(N+1)}{2} - \frac{i(i+1)}{2} - i \cdot N + i^2 \right) = \\
& \frac{2}{N(N-1)} \left( \frac{N^{N-1}(N+1)}{2} - \sum_{i=1}^{N-1} i - \left(N + \frac{1}{2}\right) + \sum_{i=1}^{N-1} \frac{i^2}{2} \right) = \\
& (N+1) - \frac{\left(N + \frac{1}{2}\right)(N-1)}{(N-1)} + \frac{(N-1)(2N-1)}{6(N-1)} = \\
& (N-1) \frac{(6N - 6N - 3 + 2N - 1)}{6(N-1)} = \\
& (N-1) \frac{(2N+2)}{6(N-1)} = \\
& \frac{(N+1)}{3}
\end{aligned}$$

Figura 3. 9: Longitud promedio de salto del bus unidireccional.

Elaborado por: Autor

$$\begin{aligned}
& \sum_{i=1}^N \sum_{i=1}^{N-1} j \cdot \frac{1}{N(N-1)} = \\
& \sum_{i=1}^N \frac{N(N-1)}{2} \cdot \frac{1}{N(N-1)} = \\
& \frac{N}{2}
\end{aligned}$$

Figura 3. 10: Longitud promedio de salto para anillo unidireccional

Elaborado por: Autor

Por otro lado, la mayor flexibilidad de RING para soportar la programación también desequilibrada conduce a una latencia más alta y baja con respecto a BUS-a. Alternativamente, el uso de dos transeptores por nodo como en BUS-2 puede compensar las limitaciones de BUS-1. BUS-2 supera

a RING a expensas de un mayor costo, espacio y consumo de energía. La figura 3.11 muestra la reducción del rendimiento compensada en parte mediante el uso de transmisores sintonizables. De hecho, la capacidad de ajuste es más ventajosa cuando el número de longitudes de onda es  $W < N$ .

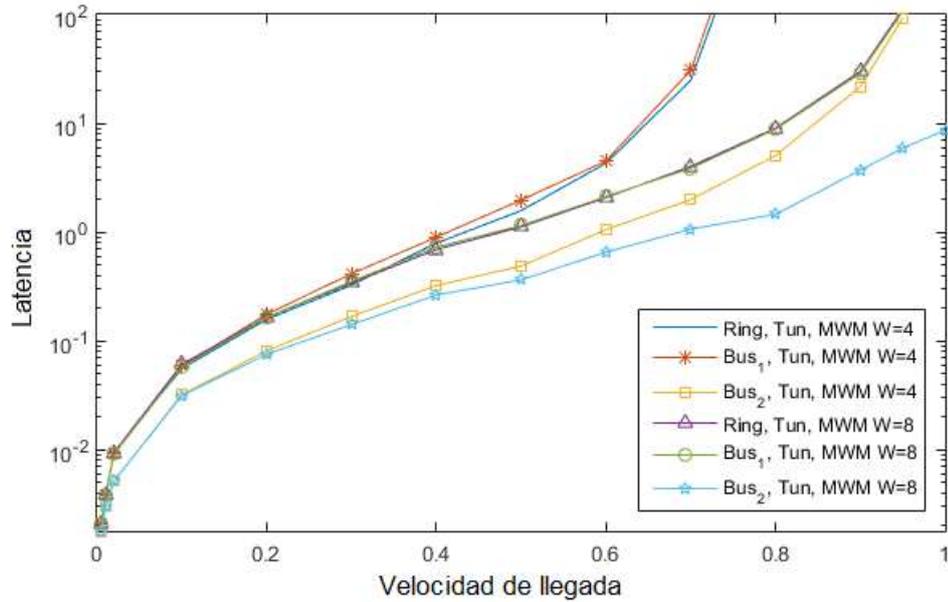


Figura 3. 11: 1era etapa MWM – transmisores sintonizables, latencia vs carga para  $W=4$  y 8.

Elaborado por: Autor

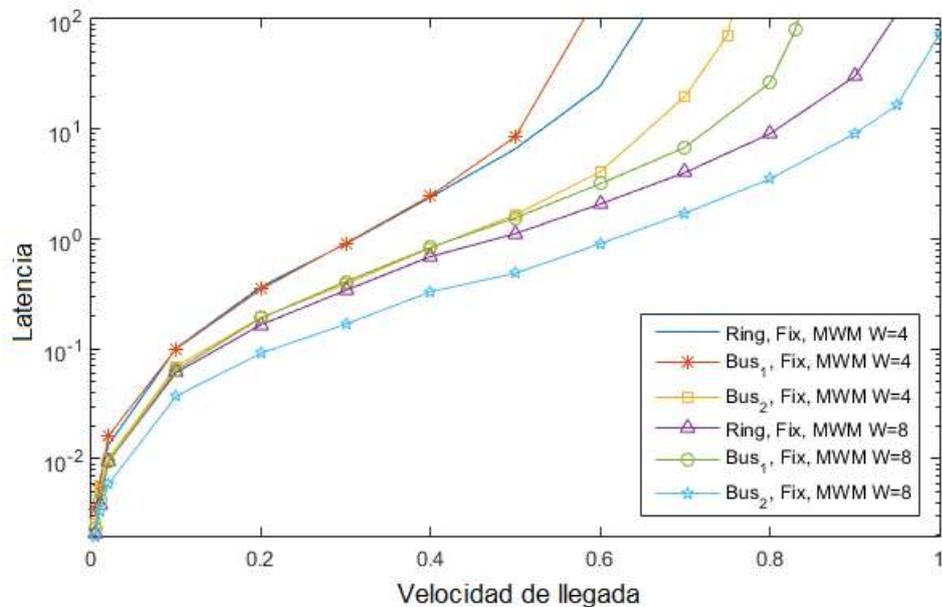


Figura 3. 12: 1era etapa MWM – transmisores fijos, latencia vs carga para  $W=4$  y 8.

Elaborado por: Autor

La figura 3.13 muestra el rendimiento de MWM con arquitectura fija y ajustable con un número de longitud de onda igual a cuatro. El BUS-1

sintonizable tiene la misma latencia que BUS-1 fijo con poca carga de tráfico. Cuando la carga de tráfico aumenta, la latencia de BUS-1 fijo se vuelve más alta que BUS-1 sintonizable. El BUS-2 sintonizable tiene mejor latencia con respecto a las otras topologías para todas las cargas de tráfico. Cuando la carga de tráfico aumenta, la latencia de BUS-2 fijo se vuelve mejor que otros.

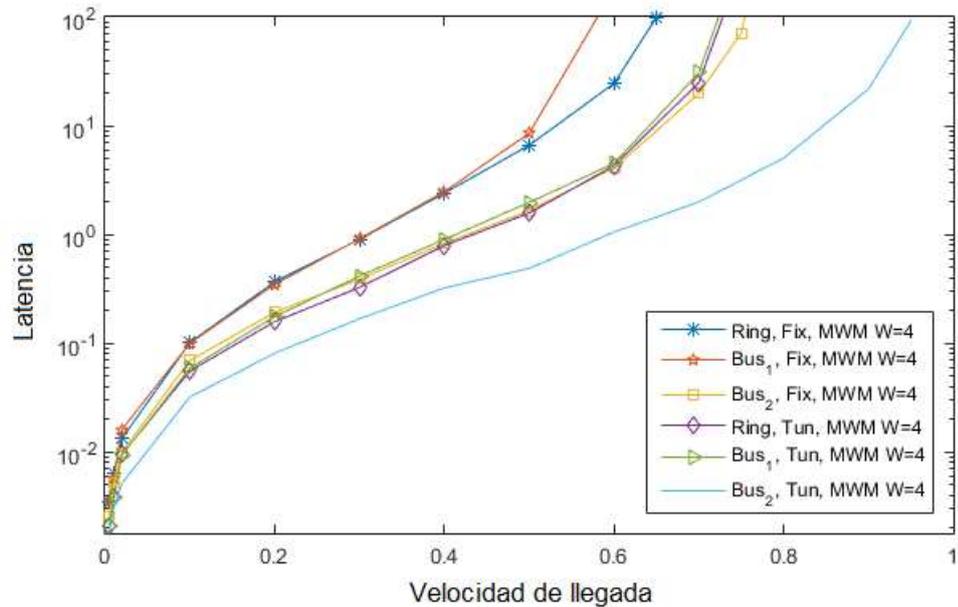


Figura 3. 13: Latencia vs. carga para  $W = 4$  y primer paso MWM  
Elaborado por: Autor

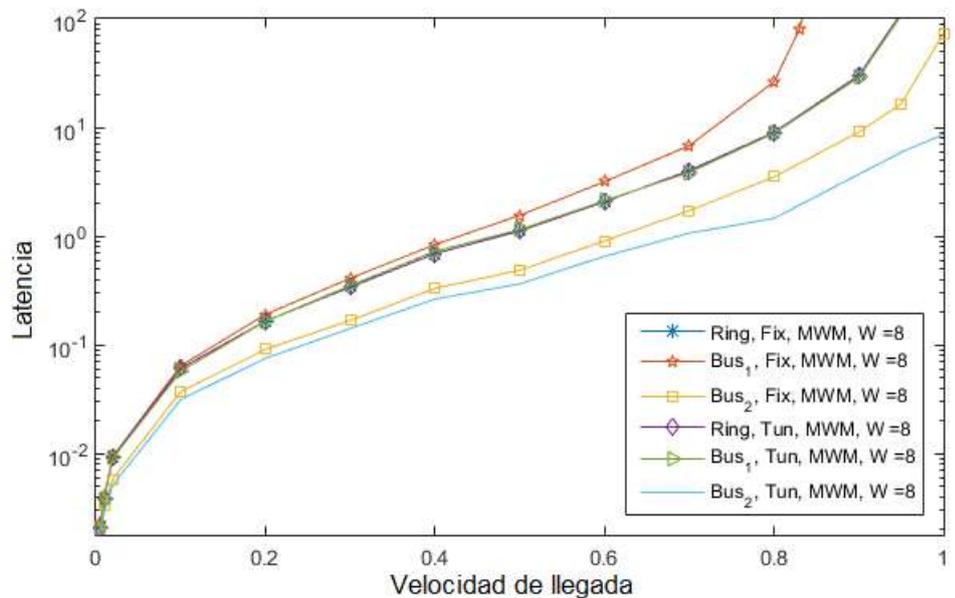


Figura 3. 14: Latencia vs. carga para  $W = 8$  y primer paso MWM  
Elaborado por: Autor

La figura 3.14 muestra el rendimiento de MWM con arquitectura fija y sintonizable con un número de longitud de onda igual a 8. Cuando el número

de longitudes de onda es igual al número de nodos, no se requiere sintonización y, por lo tanto, el diseño del transmisor sintonizable funciona como un diseño fijo. La figura 3.14 también muestra la ventaja de la arquitectura sintonizable, es decir, que BUS-1 sintonizable con algoritmo MWM funciona igual que el anillo sintonizable con algoritmo MWM.

### 3.3.2. Análisis de resultados obtenidos del algoritmo del protocolo de internet de línea serial iterativa – iSLIP.

El rendimiento y la estabilidad del algoritmo de coincidencia ponderada máxima (MWM) se producen a expensas de la alta complejidad computacional. Tal complejidad alta motivó a traer el algoritmo del protocolo de internet de línea serial iterativa. Las figuras 3.15 y 3.16 muestran la comparación de latencia en función de la carga de la red óptica en chip (ONoC) cuando se utiliza el algoritmo iSLIP en la primera etapa.

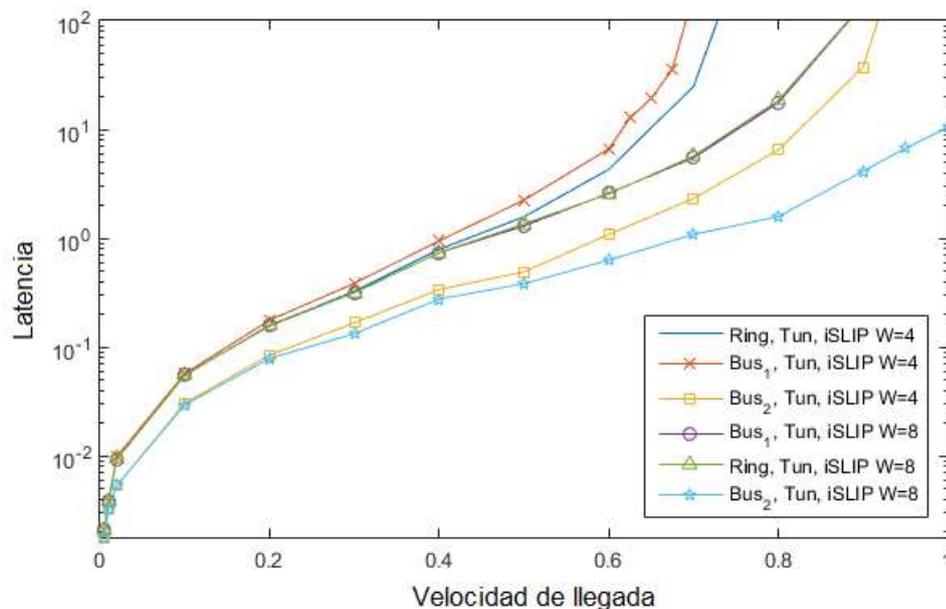


Figura 3. 15: 1era etapa – transmisores sintonizables, latencia vs carga para W=4 y 8.

Elaborado por: Autor

La figura 3.15 muestra la arquitectura sintonizable con un número de longitud de onda igual a 4 y 8. El anillo sintonizable con algoritmo iSLIP funciona mejor que BUS-1 sintonizable con iSLIP. El algoritmo iSLIP computacionalmente eficiente muestra una ligera degradación del rendimiento cuando aumenta la carga de tráfico.

La figura 3.16 muestra la arquitectura fija con un número de longitud de onda igual a 4 y 8. El anillo fijo con algoritmo iSLIP funciona mejor que BUS-1 fijo con iSLIP cuando aumenta la carga de tráfico. La figura 3.16 también muestra la ventaja de tener mayor número de longitud de onda, es decir, RING o BUS-1 con una longitud de onda igual a 8, funciona mejor que RING o BUS-1 con una longitud de onda igual a 4.

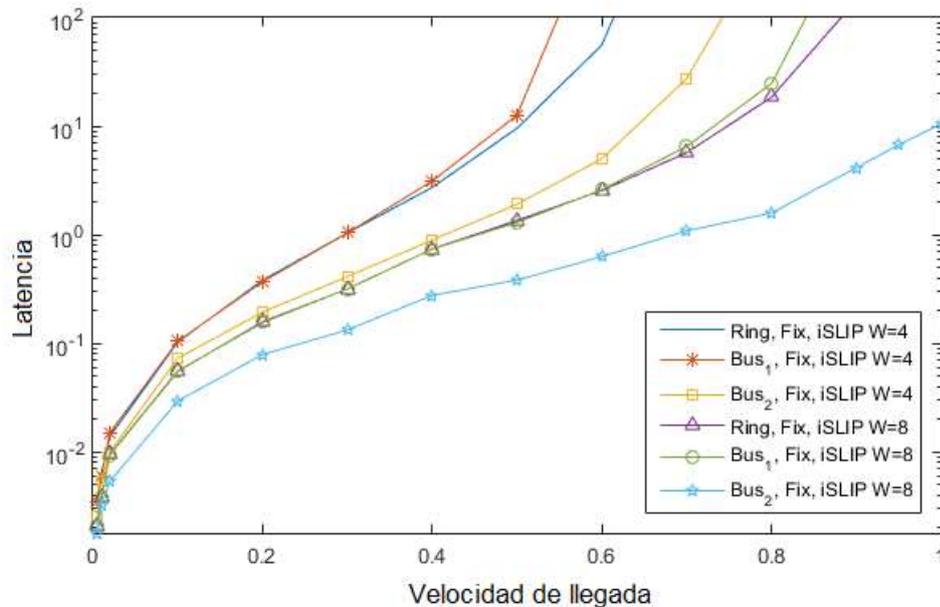


Figura 3. 16: 1era etapa – transmisores fijos, latencia vs carga para W=4 y 8.  
Elaborado por: Autor

La figura 3.17 muestra la comparación para BUS-1 fijo y sintonizable con una longitud de onda igual a 4. El BUS-1 sintonizable tiene la misma latencia que BUS-1 fijo con poca carga de tráfico. Cuando la carga de tráfico aumenta, la latencia de BUS-1 fijo se vuelve más alta que BUS-1 sintonizable.

La figura 3.18 muestra la comparación para la topología de anillo usando arquitectura ajustable y sintonizable. Cuando el número de longitud de onda es igual al número de nodos, no se requiere sintonización y, por lo tanto, el diseño del transmisor sintonizable funciona como transmisor fijo. La figura 3.18 también muestra la ventaja de las arquitecturas ajustables, es decir, el BUS-1 ajustable con algoritmo iSLIP funciona igual que RING con iSLIP.

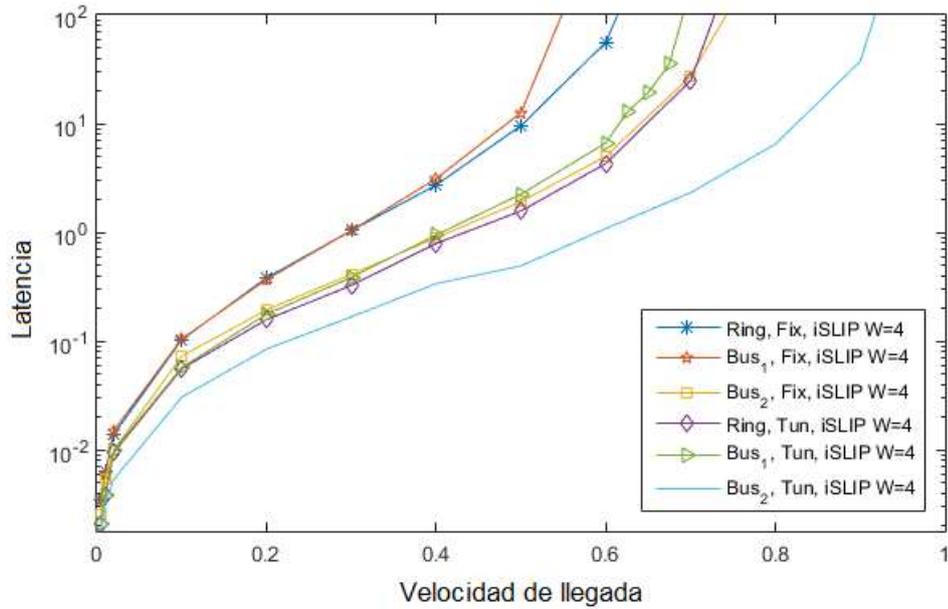


Figura 3. 17: Latencia vs. carga para  $W = 4$  y primer paso iSLIP  
Elaborado por: Autor

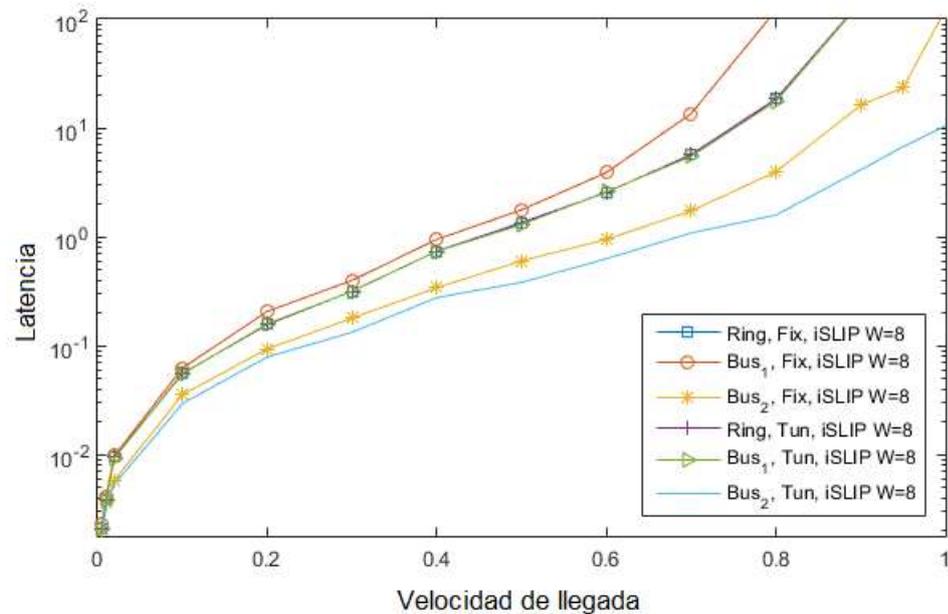


Figura 3. 18: Latencia vs. carga para  $W = 8$  y primer paso iSLIP  
Elaborado por: Autor

### 3.4. Análisis comparativo entre los algoritmos MWM e iSLIP

Las figuras 3.19 y 3.20 muestran la comparativa entre de latencia en función de la carga de la red óptica en chip (ONoC) cuando se utilizan los algoritmos de coincidencia de ponderación máxima (MWM) y protocolo de internet en línea serial iterativo (iSLIP) en la primera etapa. La figura 3.19 muestra el rendimiento del diseño sintonizable con los algoritmos MWM e

iSLIP cuando el número de longitud de onda es igual a 8. El rendimiento del algoritmo MWM es igual que el algoritmo iSLIP con poca carga de tráfico. Cuando la carga de tráfico aumenta, el algoritmo MWM funciona mejor que el algoritmo iSLIP, incluso BUS-1 con algoritmo MWM funciona mejor que en RING con algoritmo iSLIP.

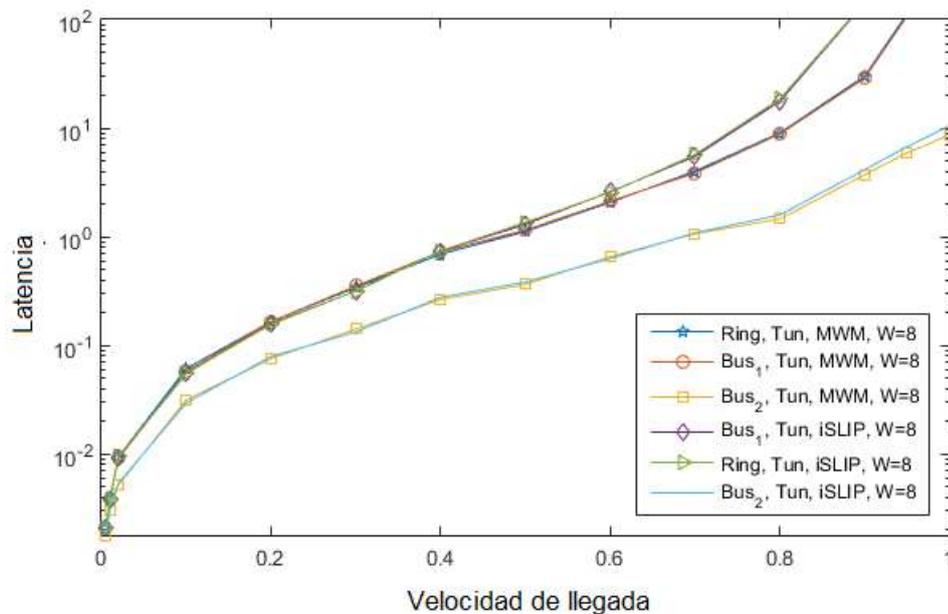


Figura 3. 19: 1era etapa iSLIP o MWM – transmisores sintonizables, latencia vs carga para  $W=8$ .  
Elaborado por: Autor

RING con algoritmo MWM y BUS-1 con rendimiento MWM son iguales para todas las cargas de tráfico. RING con algoritmo iSLIP y BUS-1 con rendimiento de iSLIP también son iguales para toda la carga de tráfico. BUS-2 con rendimiento iSLIP y MWM son casi iguales, solo una ligera degradación por iSLIP después de la carga de tráfico de 0.95.

Las figuras 3.20 y 3.21 muestran el rendimiento de los algoritmos MWM e iSLIP en la red óptica en chip (ONoC) al variar el número de longitudes de onda. La figura 3.20 muestra el rendimiento del diseño fijo con algoritmos MWM e iSLIP cuando el número de longitud de onda es igual a 8. Con cargas de tráfico bajas, todas las topologías con un transmisor tienen el mismo rendimiento. Cuando aumentan las cargas de tráfico, BUS-1 con algoritmo iSLIP muestra una ligera degradación con respecto a RING con iSLIP, y también con respecto a RING y BUS-1 de MWM.

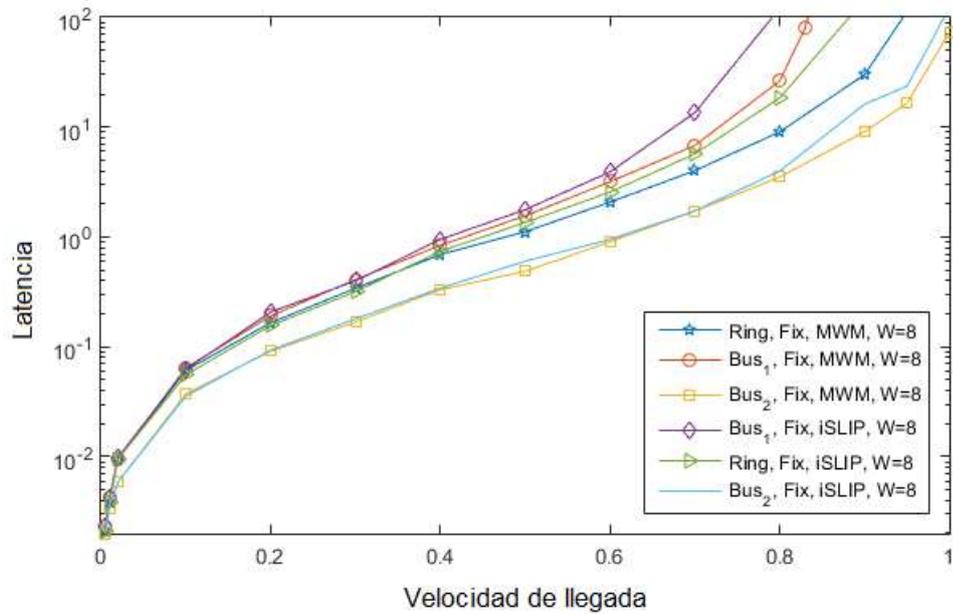


Figura 3. 20: 1era etapa iSLIP o MWM – transmisores fijos, latencia vs carga para  $W=8$ .

Elaborado por: Autor

La figura 3.21 muestra el rendimiento del diseño fijo con algoritmos MWM e iSLIP cuando el número de longitud de onda es 4. Con cargas de tráfico bajas, todas las topologías con un transmisor tienen el mismo rendimiento.

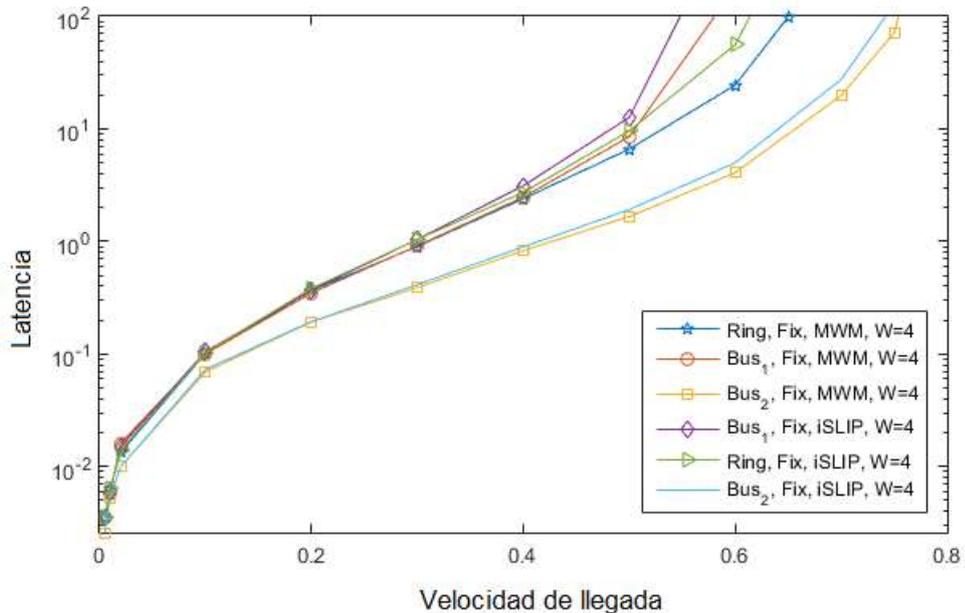


Figura 3. 21: 1era etapa iSLIP o MWM – transmisores fijos, latencia vs carga para  $W=4$ .

Elaborado por: Autor

La figura 3.22 muestra el rendimiento del diseño sintonizable con algoritmos MWM e iSLIP cuando el número de longitud de onda es igual a 4.

El BUS-1 y RING con el algoritmo iSLIP tienen un rendimiento casi igual para todas las cargas de tráfico. Cuando la carga de tráfico es mayor que 0.5, el BUS-1 con algoritmo iSLIP comienza a mostrar una ligera degradación. El BUS-2 con rendimiento MWM también es el mismo con poca carga de tráfico con el BUS-2 con iSLIP. Cuando la carga de tráfico es mayor que 0.7, el algoritmo iSLIP comienza a mostrar cierta degradación.

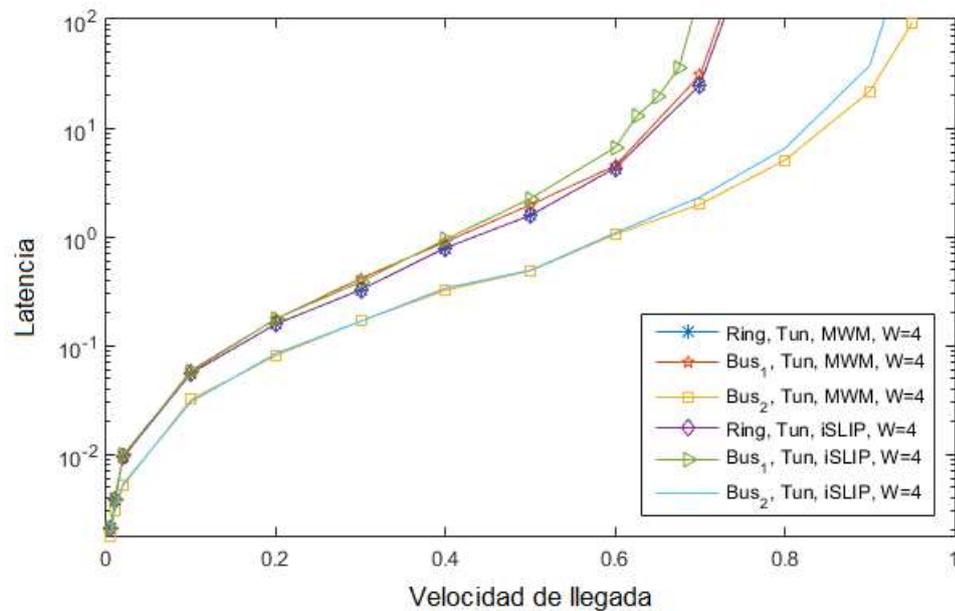


Figura 3. 22: 1era etapa – transmisores sintonizables: latencia vs. carga para  $W=4$ . y primer paso iSLIP o MWM.

Elaborado por: Autor

## Conclusiones

Este trabajo de componente práctico del examen complejo investigó la programación óptima para redes ópticas en chip (ONoC) y evaluó el rendimiento de la programación mediante escenarios de simulaciones para topologías de bus y anillo. El problema de programación se caracteriza como un problema de coincidencia gráfica bipartita. Se propuso y evaluó un marco de programación de dos etapas que utilizó los algoritmos MWM e iSLIP en la primera etapa.

Los resultados muestran que el rendimiento de la topología en anillo es mejor que la topología de bus con un transmisor por nodo. Las soluciones para mejorar aún más el rendimiento incluyen el uso de buses unidireccionales con dos transceptores por puerto y permitir la sintonización del transmisor, especialmente cuando las longitudes de onda son pocas. Sin embargo, estas soluciones tienen un mayor costo y complejidad.

Cuando el número de longitudes de onda es igual a la mitad de los nodos, el rendimiento de las arquitecturas sintonizables es mejor que las arquitecturas fijas. Se muestran las ventajas de que aumentar el número de longitudes de onda conduce a disminuir la latencia mientras aumenta el rendimiento.

El rendimiento del algoritmo MWM es mejor que el rendimiento del algoritmo iSLIP para arquitecturas de transmisor fijas y ajustables y para todo tipo de topologías. Sin embargo, el planificador MWM es complejo y su buen rendimiento y estabilidad se producen a expensas de la alta complejidad de cálculo.

En general, el algoritmo iSLIP muestra una degradación limitada del rendimiento y es capaz de combinar un alto rendimiento con una baja complejidad computacional.

## **Recomendaciones.**

Sobre la base del presente trabajo del componente práctico del examen complejo, se pueden realizar más estudios sobre la evaluación del rendimiento de cualquier patrón de tráfico. También se pueden considerar y evaluar topologías alternativas que admiten transmisiones bidireccionales. Además de eso, se pueden considerar otras estructuras de programación.

## Bibliografía.

- Channoufi, M., Lecoy, P., Attia, R., & Delacressonniere, B. (2011). Study and modeling of a new configuration of an optical network on chip (ONOC) using FDTD. *6th International Workshop on Reconfigurable Communication-Centric Systems-on-Chip (ReCoSoC)*, 1–2. <https://doi.org/10.1109/ReCoSoC.2011.5981538>
- Channoufi, M., Lecoy, P., Le Beux, S., Attia, R., & Delacressonniere, B. (2013). A novel optical network on chip design for future generation of multiprocessors system on chip. *International Journal of Advanced Computer Science and Applications*, 4(3), 236–243.
- Le Maitre, P., Carpentier, J.-F., Orobtschouk, R., Michit, N., Michard, A., & Charbonnier, B. (2018). Scalable highly flexible WDM switch for ONoC architectures. En M. Glick, A. K. Srivastava, & Y. Akasaka (Eds.), *Metro and Data Center Optical Networks and Short-Reach Links* (p. 12). SPIE. <https://doi.org/10.1117/12.2282265>
- Li, Z., Qouneh, A., Joshi, M., Zhang, W., Fu, X., & Li, T. (2015). Aurora: A Cross-Layer Solution for Thermally Resilient Photonic Network-on-Chip. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 23(1), 170–183. <https://doi.org/10.1109/TVLSI.2014.2300477>
- Ramini, L., Grani, P., Bartolini, S., & Bertozzi, D. (2013). Contrasting Wavelength-Routed Optical NoC Topologies for Power-Efficient 3D-Stacked Multicore Processors Using Physical-Layer Analysis. *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2013*, 1589–1594. <https://doi.org/10.7873/DATE.2013.323>
- Ye, Y., Xu, J., Huang, B., Wu, X., Zhang, W., Wang, X., Nikdast, M., Wang, Z., Liu, W., & Wang, Z. (2013). 3-D Mesh-Based Optical Network-on-Chip for Multiprocessor System-on-Chip. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 32(4), 584–596. <https://doi.org/10.1109/TCAD.2012.2228739>

Zhou, Z., Wu, N., & Yan, G. (2016). Topology Optimization of 3D Hybrid Optical-Electronic Networks-on-Chip. *Proceedings of the World Congress on Engineering and Computer Science, I.*



## DECLARACIÓN Y AUTORIZACIÓN

Yo, **Tenorio Figueroa, Roberto Steeven** con C.C: # 094043663-7 autor del Trabajo de examen complejo: **Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas**, previo a la obtención del título de **INGENIERO EN TELECOMUNICACIONES** en la Universidad Católica de Santiago de Guayaquil.

1.- Declaro tener pleno conocimiento de la obligación que tienen las instituciones de educación superior, de conformidad con el Artículo 144 de la Ley Orgánica de Educación Superior, de entregar a la SENESCYT en formato digital una copia del referido trabajo de titulación para que sea integrado al Sistema Nacional de Información de la Educación Superior del Ecuador para su difusión pública respetando los derechos de autor.

2.- Autorizo a la SENESCYT a tener una copia del referido trabajo de titulación, con el propósito de generar un repositorio que democratice la información, respetando las políticas de propiedad intelectual vigentes.

Guayaquil, 28 de febrero del 2020

f. \_\_\_\_\_

Nombre: Tenorio Figueroa, Roberto Steeven

C.C: 094043663-7

<b>REPOSITORIO NACIONAL EN CIENCIA Y TECNOLOGÍA</b>			
<b>FICHA DE REGISTRO DE TESIS/TRABAJO DE TITULACIÓN</b>			
<b>TÍTULO Y SUBTÍTULO:</b>	Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas.		
<b>AUTOR(ES)</b>	Tenorio Figueroa, Roberto Steeven		
<b>REVISOR(ES)/TUTOR(ES)</b>	M. Sc. Pacheco Bohórquez, Héctor Ignacio		
<b>INSTITUCIÓN:</b>	Universidad Católica de Santiago de Guayaquil		
<b>FACULTAD:</b>	Facultad de Educación Técnica para el Desarrollo		
<b>CARRERA:</b>	Ingeniería en Telecomunicaciones		
<b>TÍTULO OBTENIDO:</b>	Ingeniero en Telecomunicaciones		
<b>FECHA DE PUBLICACIÓN:</b>	28 de febrero del 2020	<b>No. DE PÁGINAS:</b>	39
<b>ÁREAS TEMÁTICAS:</b>	Fundamentos de comunicación, comunicaciones ópticas		
<b>PALABRAS CLAVES/ KEYWORDS:</b>	Chip, Protocolo, Internet, Óptica, Simulación, Ponderación		
<b>RESUMEN/ABSTRACT:</b>	<p>En el presente documento se muestra el desarrollo del componente práctico del examen complejo denominado "Análisis comparativo de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo sobre redes ópticas". En este proyecto se refleja la practicidad y conocimientos obtenidos en la formación de Ingeniero en Telecomunicaciones. En la formación investigativa se emplearon diferentes herramientas de simulación, tales como, Riverbed Modeler, OMNeT++, NS-3, OptiSystem, entre otros, y fue MatLab la herramienta más apropiada para modelar los algoritmos propuestos sobre redes de comunicaciones ópticas. En el primer capítulo se describen brevemente la introducción, objetivo general y objetivos específicos del proyecto propuesto. En el segundo capítulo se describen los componentes teóricos de las redes en chip (NoC) y redes ópticas en chip (ONoC). En el tercer capítulo se diseña y evalúa los resultados de los algoritmos de coincidencia de ponderación máxima y protocolo de internet en línea serial iterativo.</p>		
<b>ADJUNTO PDF:</b>	<input checked="" type="checkbox"/> SI	<input type="checkbox"/> NO	
<b>CONTACTO CON AUTOR/ES:</b>	<b>Teléfono:</b> +593-9-90379081	<b>E-mail:</b> <a href="mailto:steven_1418@hotmail.com">steven_1418@hotmail.com</a>	
<b>CONTACTO CON LA INSTITUCIÓN: COORDINADOR DEL PROCESO DE UTE</b>	<b>Nombre:</b> Palacios Meléndez Edwin Fernando		
	<b>Teléfono:</b> +593-9-67608298		
	<b>E-mail:</b> <a href="mailto:edwin.palacios@cu.ucsg.edu.ec">edwin.palacios@cu.ucsg.edu.ec</a>		
<b>SECCIÓN PARA USO DE BIBLIOTECA</b>			
<b>Nº. DE REGISTRO (en base a datos):</b>			
<b>Nº. DE CLASIFICACIÓN:</b>			
<b>DIRECCIÓN URL (tesis en la web):</b>			