



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**

SISTEMA DE POSGRADO  
MAESTRÍA EN TELECOMUNICACIONES

TEMA:

**Evaluación de escenarios de simulación de formatos de codificación  
binaria utilizado en comunicaciones ópticas**

AUTOR:

Rochina García, Michael Herson

Trabajo de Titulación previo a la obtención del Grado Académico de

**MAGÍSTER EN TELECOMUNICACIONES**

TUTOR:

M. Sc. Palacios Meléndez, Edwin Fernando

Guayaquil, 31 de agosto del 2020



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
SISTEMA DE POSGRADO  
MAESTRÍA EN TELECOMUNICACIONES

CERTIFICACIÓN

Certificamos que el presente trabajo fue realizado en su totalidad por el Magíster **Rochina García, Michael Herson** como requerimiento parcial para la obtención del Grado Académico de **MAGÍSTER EN TELECOMUNICACIONES**.

TUTOR

---

M. Sc. Palacios Meléndez, Edwin Fernando

DIRECTOR DEL PROGRAMA

---

M. Sc. Romero Paz, Manuel de Jesús

Guayaquil, 31 de agosto del 2020



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**

SISTEMA DE POSGRADO  
MAESTRÍA EN TELECOMUNICACIONES

**DECLARACIÓN DE RESPONSABILIDAD**

Yo, **Rochina García, Michael Herson**

**DECLARÓ QUE:**

El Trabajo de Titulación “**Evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas**”, previa a la obtención del grado Académico de **Magíster en Telecomunicaciones**, ha sido desarrollado, respetando derechos intelectuales de terceros conforme las citas que constan en el documento, cuyas fuentes se incorporan en las referencias o bibliografías. Consecuentemente este trabajo es de mi total autoría.

En virtud de esta declaración, me responsabilizó del contenido, veracidad y alcance científico del Trabajo de Titulación del Grado Académico en mención.

Guayaquil, 31 de agosto del 2020

EL AUTOR

---

Rochina García, Michael Herson



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**  
SISTEMA DE POSGRADO  
MAESTRÍA EN TELECOMUNICACIONES

**AUTORIZACIÓN**

Yo, **Rochina García, Michael Herson**

Autorizó a la Universidad Católica de Santiago de Guayaquil, la publicación, en la biblioteca de la institución del Trabajo de Titulación de Maestría titulada: **“Evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas”**, cuyo contenido, ideas y criterios son de mi exclusiva responsabilidad y total autoría.

Guayaquil, 31 de agosto del 2020

EL AUTOR

---

Rochina García, Michael Herson

# REPORTE DE URKUND

**URKUND** Lista de fuentes Bloques Fernando Palacios Meléndez (edwin\_palacio)

<b>Documento</b>	<a href="#">Rochina_Michael.docx</a> (D77679206)
<b>Presentado</b>	2020-08-11 10:51 (-05:00)
<b>Presentado por</b>	fernandopm23@hotmail.com
<b>Recibido</b>	edwin.palacios.ucsg@analysis.orkund.com
<b>Mensaje</b>	Revisión TT Michael Rochina <a href="#">Mostrar el mensaje completo</a> 1% de estas 18 páginas, se componen de texto presente en 1 fuentes.

Categoría	Enlace/nombre de archivo
	<a href="#">Giler_Titulacion_2019.docx</a>
	<a href="https://docplayer.es/171619918-Universidad-naciona...">https://docplayer.es/171619918-Universidad-naciona...</a>
<b>Fuentes alternativas</b>	
<b>Fuentes no usadas</b>	

0 Advertencias. Reiniciar Exportar Compartir

UNIVERSIDAD CATÓLICA DE SANTIAGO DE GUAYAQUIL SISTEMA DE POSGRADO MAESTRÍA EN TELECOMUNICACIONES

TEMA: Evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas

AUTOR: Rochina García, Michael Herson

Trabajo de Titulación previo a la obtención del Grado Académico de Magíster en Telecomunicaciones

TUTOR: M. Sc. Palacios Meléndez, Edwin Fernando

Guayaquil, Ecuador

21 de julio del 2020

UNIVERSIDAD CATÓLICA DE SANTIAGO DE GUAYAQUIL SISTEMA DE POSGRADO MAESTRÍA EN TELECOMUNICACIONES

CERTIFICACIÓN Certificamos que el presente trabajo fue realizado en su totalidad por el Magíster Rochina García, Michael Herson como requerimiento parcial para la obtención del Grado Académico de Maagíster en Telecomunicaciones

## **DEDICATORIA**

A Dios, ya que sin el nada de esto sería realidad, porque nos concede el privilegio de la vida y nos ofrece lo necesario para lograr nuestras metas.

A mi Esposa Liliam Garzón y mi Hija Ivanna que sin duda alguna son parte de este hermoso recorrido, gracias por siempre estar ahí cuando los necesité.

A mis Padres, Lilia García y Eduardo Rochina, por haberme dado la vida, y enseñarme que las metas son alcanzables y que una caída no es una derrota sino el principio de una lucha que siempre termina en logros y éxitos, muchas gracias, Padres por siempre orientarme por el buen camino y ayudarme a seguir adelante a pesar de las adversidades, este triunfo también es de ustedes.

A mi hermano Christian Rochina y su familia, que son un pilar fundamental y me han ayudado siempre en todos los problemas que se me han suscitado, mi ejemplo a seguir, gracias por jamás fallarme.

**EL AUTOR**

**ROCHINA GARCÍA, MICHAEL HERSON**

## **AGRADECIMIENTO**

Mi agradecimiento a Dios por permitirme un día más de vida, a mis padres que siempre han estado conmigo incondicionalmente para apoyarme y guiarme por el camino correcto, a toda mi familia que siempre estuvo ahí cuando lo necesite.

Agradezco a la Universidad Católica Santiago de Guayaquil, por brindarme siempre lo mejor en educación y a la Facultad de Educación Técnica para el Desarrollo como a todo su capital humano.

Gracias a nuestros catedráticos, que durante el transcurso de este recorrido llamado Maestría me dieron su apoyo y consejos, que seguramente serán de gran utilidad en mi vida profesional.

A mi tutor M. Sc. Edwin Palacios Meléndez que supo brindar sus conocimientos en cada momento y en el transcurso de este trabajo de titulación.

**EL AUTOR**

**ROCHINA GARCÍA, MICHAEL HERSON**



**UNIVERSIDAD CATÓLICA  
DE SANTIAGO DE GUAYAQUIL**

SISTEMA DE POSGRADO  
MAESTRÍA EN TELECOMUNICACIONES  
**TRIBUNAL DE SUSTENTACIÓN**

---

**M. Sc. PALACIOS MELÉNDEZ, EDWIN FERNANDO**  
TUTOR

---

**M. Sc. CÓRDOVA RIVADENEIRA, LUIS SILVIO**  
REVISOR

---

**M. Sc. QUEZADA CALLE, EDGAR RAÚL**  
REVISOR

---

**M. Sc. ROMERO PAZ MANUEL DE JESÚS**  
DIRECTOR DEL PROGRAMA



## ÍNDICE GENERAL

Índice de Figuras .....	XI
Índice de Tablas.....	XIV
Resumen .....	XV
Capítulo 1: Generalidades del proyecto de grado. ....	17
1.1.  Introducción.....	17
1.2.  Antecedentes.....	18
1.3.  Definición del problema.....	19
1.4.  Justificación del problema a investigar.....	19
1.5.  Objetivos .....	19
1.5.1.  Objetivo General.....	19
1.5.2.  Objetivos Específicos.....	19
1.6.  Hipótesis.....	20
1.7.  Metodología de investigación. ....	20
Capítulo 2: Fundamentación teórica.....	21
2.1.  Metodología de programación y diseño de VHDL.....	21
2.1.1.  Diseñar en varios niveles.....	21
2.1.2.  Gestión de diseño VHDL.....	22
2.1.3.  Metodología de diseño.....	23
2.1.4.  Modelo de programación y opciones de simulación. ....	24
2.1.5.  Ventajas clave de utilizar VHDL. ....	25
2.2.  Modulación duobinaria para sistemas ópticos.....	26
2.2.1.  ¿Qué es la modulación duobinaria?.....	26
Capítulo 3: Desarrollo y análisis de resultados.....	29
3.1.  Precodificador Duobinario.....	29
3.2.  Codificador Duobinario.....	30
3.3.  Filtrado de preénfasis o énfasis previo.....	31
3.4.  Canales .....	31
3.5.  Ecuación de recepción. ....	32
3.6.  Decodificador duobinario.....	32
3.7.  Simulación de modelo .....	33
3.7.1.  Escenario de simulación sin canal. ....	33
3.7.2.  Escenario de simulación con canal.....	35

3.8. Implementación propuesta de ASIC.....	39
3.9. Generación de código HDL para codificador/decodificador duobinario. .....	40
3.10. Simulación de arquitectura propuesta.....	41
3.11. Decodificación duobinaria con canal.....	45
3.12. Comparación de los resultados obtenidos para NRZ y duobinario. ...	46
3.13. Comparación de los resultados obtenidos para NRZ y duobinario de extremo a extremo.....	57
3.14. Resultados de la tasa de error de bits.....	60
Conclusiones.....	64
Recomendaciones.....	65
Bibliografía.....	66

## Índice de Figuras

### Capítulo 2:

Figura 2. 1: Diagrama de flujo de la estructura de diseño de las capacidades de VHDL.....	22
Figura 2. 2: Diagrama de flujo para el diseño Top-down de la metodología de diseño VHDL.....	24
Figura 2. 3: Modelo estándar VHDL de diseños de programación.....	25
Figura 2. 4: Diagrama de bloques del codificador duobinario.....	28

### Capítulo 3:

Figura 3. 1: Circuito topológico para el precodificador duobinario.....	29
Figura 3. 2: Circuito topológico para el codificador duobinario.....	30
Figura 3. 3: Respuesta de canal para el dispositivo Megtron.....	31
Figura 3. 4: Respuesta de canal para el dispositivo FCI.....	32
Figura 3. 5: Decodificador duobinario.....	33
Figura 3. 6: Modelo de sistema sin canal.....	34
Figura 3. 7: Resultados del escenario de simulación sin canal.....	35
Figura 3. 8: Modelo completo de transmisor duobinario que incluye canal.....	36
Figura 3. 9: Diagramas de ojo para el transmisor Megtron a 11.3 Gbps.....	37
Figura 3. 10: Diagramas de ojo para el transmisor FCI a 11.3 Gbps.....	38
Figura 3. 11: Propuesta de implementación ASIC del transceptor FPGA.....	39
Figura 3. 12: Arquitectura de codificador duobinario para implementación ASIC.....	40
Figura 3. 13: Arquitectura de decodificador duobinario para implementación ASIC.....	40
Figura 3. 14: Generación exitosa del código HDL.....	41
Figura 3. 15: Arquitectura propuesta en Quartus II.....	41
Figura 3. 16: Propuesta de modelo de arquitectura de extremo a extremo.....	42
Figura 3. 17: Resultados duobinarios para la tarjeta Megtron a 5.65 Gbps.....	43
Figura 3. 18: Resultados duobinarios para el plano posterior FCI a 5,65 Gbps.....	44

Figura 3. 19: Significancia del ecualizador de recepción. ....	46
Figura 3. 20: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para el escenario 1. ....	47
Figura 3. 21: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para el escenario 1. ....	48
Figura 3. 22: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 1. ....	49
Figura 3. 23: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 2. ....	49
Figura 3. 24: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 2. ....	50
Figura 3. 25: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 2. ....	51
Figura 3. 26: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 3. ....	52
Figura 3. 27: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 3. ....	53
Figura 3. 28: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 3. ....	53
Figura 3. 29: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 4. ....	54
Figura 3. 30: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 4. ....	55
Figura 3. 31: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 4. ....	56
Figura 3. 32: Comparativa del diagrama de ojo para el esquema NRZ para escenario 5. ....	57
Figura 3. 33: Comparativa del diagrama de ojo para el esquema duobinario para escenario 6. ....	58
Figura 3. 34: Comparativa del diagrama de ojo para el esquema NRZ para escenario 7. ....	59

Figura 3. 35: Comparativa del diagrama de ojo para el esquema duobinario para escenario 8. ....	59
Figura 3. 36: Modelado para obtener la tasa de error de bits de NRZ. ....	61
Figura 3. 37: Modelado para obtener la tasa de error de bits de Duobinario. ....	62

## Índice de Tablas

### Capítulo 3:

Tabla 3. 1: Decodificación duobinaria sin precodificador. ....	30
Tabla 3. 2: Decodificación duobinaria con un precodificador.....	30
Tabla 3. 3: Tabla de verdad que muestra el resultado de la decodificación duobinaria.....	33
Tabla 3. 4: Resultados de la simulación de comparación para los escenarios 1 y 3.....	56
Tabla 3. 5: Resultados de la simulación de comparación para los escenarios 2 y 4.....	56
Tabla 3. 6: Resultados de la tasa de error de bits a una velocidad de 5.65 Gbps.....	63
Tabla 3. 7: Resultados de la tasa de error de bits a una velocidad de 11.3 Gbps.....	63

## Resumen

El presente trabajo realiza la evaluación de escenarios de simulación de formatos de codificación binaria (NRZ y DB) utilizado en comunicaciones ópticas. Actualmente los sistemas de comunicaciones ópticas utilizan codificaciones binarias, entre las más destacadas están no retorno a cero (NRZ), retorno a cero (RZ) y duobinario (DB). El capítulo 1 describe las generalidades del trabajo componente complejo, entre las más destacadas, la definición del problema, justificación y objetivos. El capítulo 2 describe brevemente los fundamentos teóricos de la metodología de diseño del lenguaje de descripción de hardware (VHDL) y del sistema duobinario empleado en las comunicaciones ópticas. El capítulo 3 se diseñan los escenarios de simulación de los sistemas de codificación no retorno a cero (NRZ) y duobinario, y la evaluación se basa en comparar los resultados obtenidos para los diferentes escenarios propuestos. Para la implementación fue necesario dos herramientas, MatLab/Simulink y VHDL. Finalmente, se presentan las conclusiones y recomendaciones para futuros trabajos.

**Palabras claves:** Codificación, Decodificación, Canales, Ecuación, NRZ, VHDL.

## **Abstract**

This work performs the evaluation of simulation scenarios of binary coding formats (NRZ and DB) used in optical communications. Currently, optical communications systems use binary encodings, among the most prominent are non-return to zero (NRZ), return to zero (RZ) and duobinary (DB). Chapter 1 describes the generalities of the complex component work, among the most prominent, the definition of the problems, justification and objectives. Chapter 2 briefly describes the theoretical foundations of the Hardware Description Language (VHDL) design methodology and the duobinary system used in optical communications. Chapter 3 designs the simulation scenarios of the non-return to zero (NRZ) and duobinary coding systems, and the evaluation is based on comparing the results obtained for the different proposed scenarios. Two tools were necessary for the implementation, MatLab / Simulink and VHDL. Finally, the conclusions and recommendations for future work are presented.

**Keywords:** Encoding, Decoding, Channels, Equalization, NRZ, VHDL.



## **Capítulo 1: Generalidades del proyecto de grado.**

En el presente capítulo se describe brevemente las generalidades del trabajo complejo que servirá para plantear la definición y justificación del problema, junto con el objetivo general y los objetivos específicos.

### **1.1. Introducción.**

Actualmente, el interés por la transmisión de señales a través de fibras ópticas aumenta rápidamente debido al ancho de banda de transmisión. Para aumentar el rendimiento del sistema de transmisión óptica, se requiere el análisis de fibra óptica. Las diferentes técnicas de modulación y codificación se pueden utilizar con respecto a los efectos de la fibra óptica para lograr un rendimiento óptimo del sistema de transmisión. (Salík et al., 2015)

Cada fibra óptica representa un sistema de transmisión que depende de la frecuencia. La propagación de un pulso dentro de este sistema de transmisión puede describirse mediante la ecuación de Schrödinger no lineal (NLSE), que se deriva de las ecuaciones de Maxwell. A partir de la ecuación NLSE se puede expresar efectos en fibras ópticas que pueden clasificarse en:

- a) efectos lineales, que dependen de la longitud de onda,
- b) efectos no lineales, que dependen de la intensidad (potencia).

Las aplicaciones informáticas de alto rendimiento requieren velocidades de datos de E/S para escalar más allá de los 10 Gbps para satisfacer la demanda de los sistemas futuros. Sin embargo, la comunicación entre chips a altas velocidades de datos sobre los canales eléctricos estándar es un desafío debido a la excesiva atenuación del canal dependiente de la frecuencia que causa grandes cantidades de interferencia entre símbolos (ISI). (Min et al., 2012)

El esquema de modulación duobinaria fue introducido inicialmente, en 1963, por Lender con la idea de introducir interferencia "controlada" intencionalmente en las señales transmitidas para remodelar el espectro de la

señal y concentrar la mayor parte de la potencia en el extremo de frecuencia más baja del espectro de la señal.

El duobinario óptico es un formato de modulación competente que puede aumentar la eficiencia espectral. La señalización duobinaria reduce los efectos de la dispersión mediante la reducción del ancho de banda y, por lo tanto, es importante en los sistemas de fibra estándar, donde el rendimiento del sistema está principalmente limitado por la dispersión. (Krishna & Tiwari, 2015)

Los autores Zhu et al., (2019) sostienen que debido a la propiedad correlativa en el esquema duobinario, este se denominó codificación correlativa en algunas publicaciones. Posteriormente, salió a la luz una versión más generalizada de la codificación correlativa con forma de señal de varios niveles para lograr un mayor rendimiento de datos a costa del rendimiento de BER. Con base en el trabajo de Lender, se propusieron técnicas de precodificación como métodos efectivos para mitigar la propagación de errores en la señalización de respuesta parcial.

## **1.2. Antecedentes.**

En las últimas décadas, el creciente tráfico de datos en telecomunicaciones, comunicaciones de datos y computación de alto rendimiento ha llevado a velocidades de transmisión de datos de múltiples Gbps en conmutadores multiservicio (MSS) como enrutadores centrales y conmutadores de conexión cruzada. Un problema particularmente desafiante a este respecto es la transmisión de datos eléctricos de alta velocidad a través del plano posterior (backplane) en estos MSS debido a la alta atenuación de los materiales del backplane actual y al ancho de banda limitado de los conectores del backplane. (Van Kerrebrouck et al., 2019)

El efecto de la dispersión cromática ha recibido una gran atención recientemente debido al aumento de la velocidad del sistema de transmisión. Para prolongar la distancia de transmisión, se proponen muchos formatos avanzados para superar el efecto adverso de la dispersión cromática. Duobinario transmite la información tanto en el dominio de amplitud como en

el dominio de fase. La relación de fase predefinida entre bits consecutivos da como resultado una mayor tolerancia a la dispersión. (Shi et al., 2014)

### **1.3. Definición del problema**

Necesidad de implementar escenarios de simulación de formatos de codificación duobinaria y no retorno a cero (NRZ) mediante la plataforma MatLab/Simulink y una FPGA.

### **1.4. Justificación del problema a investigar.**

La demanda actual de altas velocidades de datos en las aplicaciones de red empuja al límite las interconexiones eléctricas en serie de alta velocidad. La codificación tradicional sin retorno a cero (NRZ), aunque es fácil de implementar y energéticamente eficiente, ya no es factible debido a las limitaciones de ancho de banda de los canales de cobre. Para aliviar esto, se explora otro esquema de modulación más eficientes en ancho de banda, como la modulación duobinaria (DB), y que finalmente, se realiza un análisis comparativo de ambas codificaciones binarias.

### **1.5. Objetivos**

A continuación, se describe el objetivo general y los objetivos específicos del presente trabajo del componente complejo.

#### **1.5.1. Objetivo General.**

Realizar la evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas

#### **1.5.2. Objetivos Específicos.**

- Describir los fundamentos teóricos del lenguaje de descripción de hardware (VHDL) y de la codificación duobinaria.
- Diseñar los escenarios de simulación de los formatos de codificación duobinario y no retorno a cero utilizando MatLab/Simulink y FPGA.
- Evaluar los escenarios de simulación mediante la comparación de los resultados de los formatos de codificación duobinario y NRZ.

## **1.6. Hipótesis**

A través de los escenarios de simulación propuestos y modelados en MatLab/Simulink y FPGA demostrará que el sistema de codificación duobinaria resulta ser mucho mejor que la codificación de no retorno a cero (NRZ).

## **1.7. Metodología de investigación.**

Muchos autores de la metodología de la investigación como, (Hernández Sampieri et al., 2014; Kothari C. R, 2008) explican el diseño y métodos de la investigación que se deben emplear en investigaciones y/o proyectos de grados. El presente documento trabaja con el diseño de investigación empírico-analítico y tiene un enfoque cuantitativo, ya que maneja datos numéricos que se obtienen a partir de la ejecución de cada uno de los escenarios de simulación. Los métodos que se utilizaron fueron el descriptivo y explicativo.

## Capítulo 2: Fundamentación teórica.

En este capítulo se presentan los fundamentos teóricos que sirven de base para el desarrollo del capítulo 3. Primero se describe la programación VHDL, FPGA y codificación binaria.

### 2.1. Metodología de programación y diseño de VHDL

En la sección 1.3 se ha establecido que uno de los objetivos clave de la investigación es desarrollar el sistema requerido utilizando el lenguaje de descripción de hardware VHSIC (*VHSIC Hardware Description Language, VHDL*) e implementar los diseños en una matriz de puerta programable de campo (*Field Programmable Gate Array, FPGA*) a partir de entonces. (Aguilar Jaramillo, 2017)

Por lo tanto, esta sección brevemente describe la necesidad de HDL, metodologías de diseño y jerarquías utilizadas para reducir la complejidad en VHDL, diferentes modelos de VHDL; y la metodología de diseño utilizada para este proyecto en particular.

#### 2.1.1. Diseñar en varios niveles.

VHDL no restringe a los diseñadores a utilizar el mismo nivel de diseño en todo momento, a diferencia de otros programas de lenguaje de descripción de hardware (HDL) que están actualmente disponibles comercialmente. Los diseños HDL se pueden lograr en varios niveles y, según el tamaño, la complejidad o cualquier otro requisito y especificaciones dados requeridos y dictados por los diseños, un diseñador de sistemas puede elegir trabajar en cualquier nivel que se ajuste. (Pérez C., 2015)

Los niveles clave de diseño disponibles en el VHDL se dan a continuación,

- a. Nivel del sistema.
- b. Nivel algorítmico.
- c. Flujo de datos o nivel de transferencia de registros (*Register Transfer Level, RTL*).

- d. Nivel de puerta.
- e. Interruptor o nivel de transistor.
- f. Nivel de modo eléctrico o continuo (integral-diferencial)

### 2.1.2. Gestión de diseño VHDL

VHDL tiene una estructura de gestión de diseño clara y bien definida que es fácil de seguir y de naturaleza intuitiva. Satisface todos los requisitos de diseños complejos como este sistema DuoPPM con gestión de diseño altamente estructurada (Maxinez, 2014). A continuación, la figura 2.1 muestra una estructura de gestión de diseño VHDL.

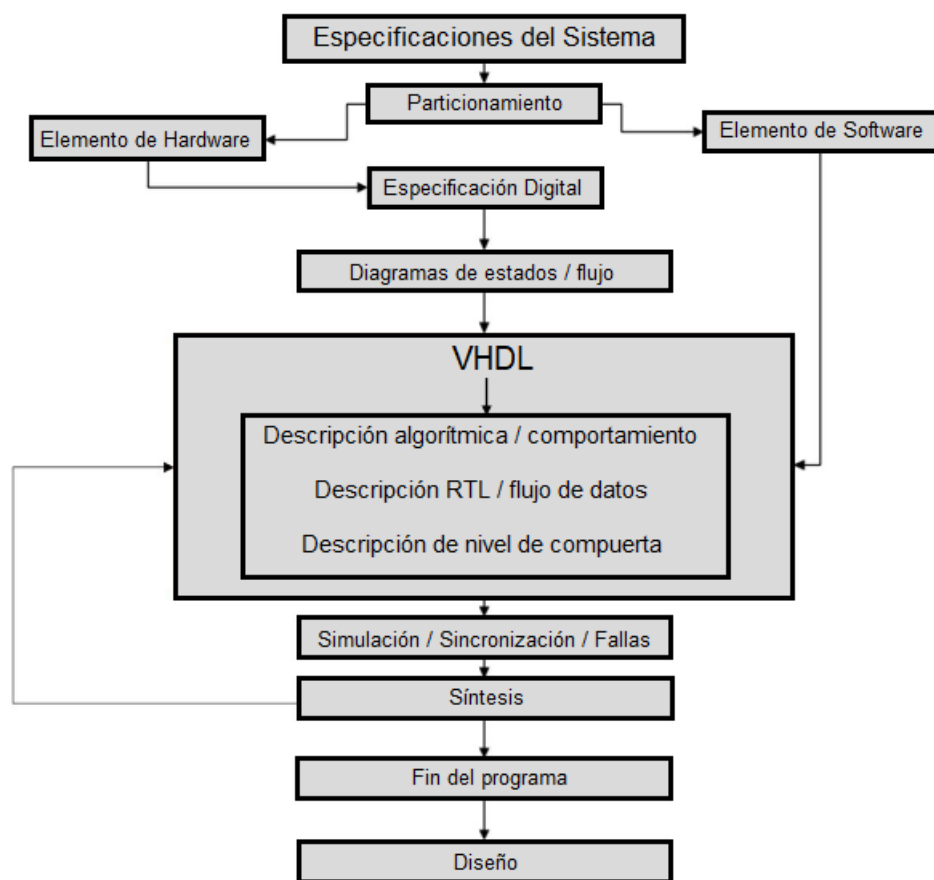


Figura 2. 1: Diagrama de flujo de la estructura de diseño de las capacidades de VHDL.

Fuente: (Vahid, 2011)

En el diagrama anterior se desprende claramente que hay soporte para las capacidades de hardware y software en un nivel igualmente estructurado y cada aspecto de un diseño está separado, lo que hace que los cambios de diseño y la depuración de tareas sean más sencillos.

### 2.1.3. Metodología de diseño.

Tanto las metodologías de diseño top-down como bottom-up están disponibles en el proceso de diseño de software. El flujo de diseño top-down de VHDL (véase la figura 2.2) busca resolver el problema mediante la deconstrucción desde el nivel del sistema hasta el nivel de compuerta, o en modo eléctrico o continuo (que podría incluir el diseño), mientras que el diseño bottom-up busca resolver esto construyendo el sistema de manera inversa al flujo top-down o, in extremis, desde el nivel 6 (diseño completamente personalizado).

Este trabajo de examen complejo utiliza la metodología descendente (top-down). Y también, se ha encontrado que muchos profesionales mencionan que la metodología de diseño a la que la mayoría de la gente ahora le da importancia y trata de seguir el flujo de diseño top-down. El enfoque ascendente (bottom-up) del diseño también podría implementarse dependiendo del diseño del circuito. A continuación, se presentan algunas ventajas clave de la metodología de diseño top-down,

- Puede manejar diseños significativamente complejos.
- Debido a las características integradas, los tiempos de diseño se reducen significativamente.
- Mayor calidad de los diseños.
- La creación rápida de prototipos con FPGA es una característica muy atractiva.
- Aumenta la reciclabilidad.

La verificación de diseños también está integrada en la estructura de flujo de diseño descendente (top-down) en VHDL y son las siguientes:

- Modelo de comportamiento.
- Nivel de transferencia de registro (RTL) modelo VHDL
- Nivel de compuerta antes y después del diseño.

El componente se puede verificar en tres pasos de verificación que se fueron ya descritos mediante el uso de los siguientes métodos que están disponibles en el paquete de software:

- Creación de vectores de prueba en el lenguaje interno de los simuladores.
- Creación del banco de pruebas VHDL.
- Simulación a nivel de sistema.

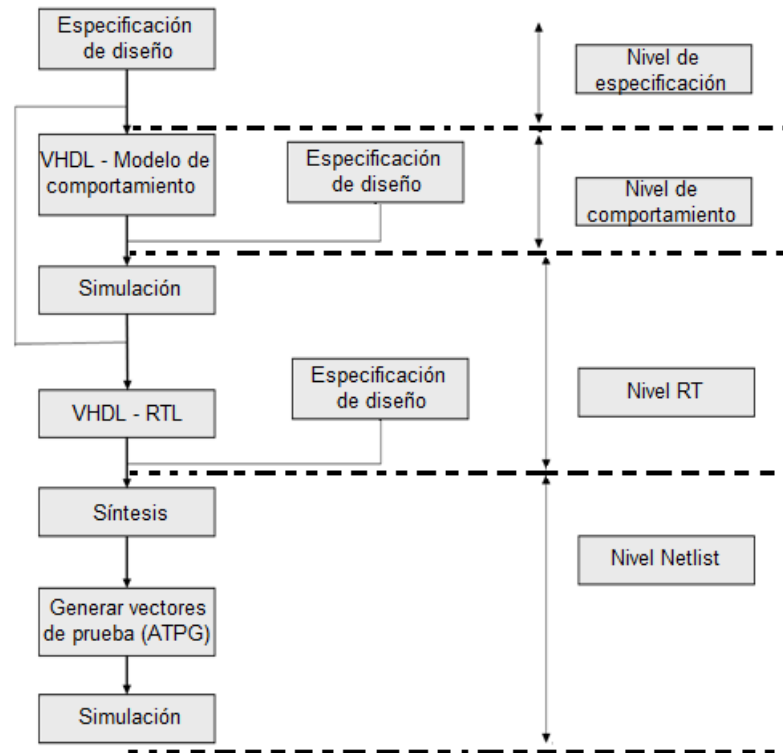


Figura 2. 2: Diagrama de flujo para el diseño Top-down de la metodología de diseño VHDL.

Fuente: (Li et al., 2014)

#### 2.1.4. Modelo de programación y opciones de simulación.

Un modelo de diseño general del código de diseño de programación VHDL se puede describir en la figura 2.3. Después de completar los diseños, ya sea en el nivel HDL o en el esquema, el diseño se puede verificar muy fácilmente en VHDL utilizando vectores de entrada y salida para la simulación funcional y de sincronización que sea necesaria. También se puede observar el estado de las señales internas y los registros para optimizar el diseño según las especificaciones predefinidas requeridas. Hay dos niveles de simulaciones disponibles en VHDL:

1. Simulación de alto nivel: proporciona información sobre la funcionalidad.



2. Simulación de bajo nivel: determina información detallada sobre la sincronización. Pero estas simulaciones son mucho más lentas en relación a las de alto nivel.

Para evitar los altos costos de la simulación de bajo nivel, se deben utilizar simulaciones de alto nivel para detectar defectos de diseño lo antes posible. VHDL admite estas simulaciones multinivel.

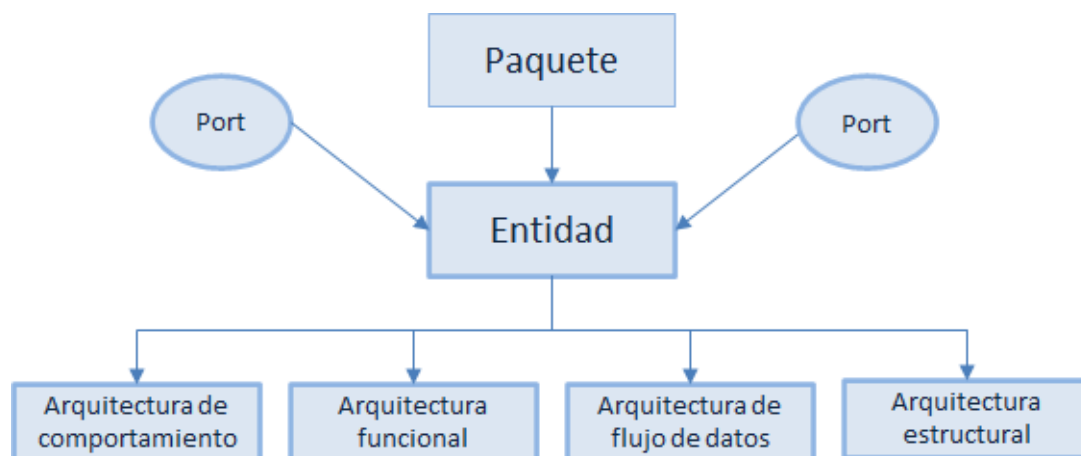


Figura 2. 3: Modelo estándar VHDL de diseños de programación.

Fuente: (Brown & Vranesic, 2005)

### 2.1.5. Ventajas clave de utilizar VHDL.

Algunas de las principales ventajas de utilizar VHDL se pueden describir en los puntos siguientes:

1. Disponibilidad pública: VHDL fue desarrollado para el gobierno de EE. UU, y normalizado por IEEE.
2. Admite muchas metodologías: descendente (top-down), ascendente (bottom-up), basadas en librerías.
3. Independiente de la tecnología: es decir, transistores CMOS, NMOS, pero un diseño puede ser forzado a una tecnología o proceso.
4. Rango de niveles descriptivos: comportamiento a compuerta, por lo que un mismo componente puede describirse y simularse en diferentes niveles.
5. Intercambio de diseños: como estándar, los componentes se pueden subcontratar.
6. Diseño y reutilización a gran escala: similar a los lenguajes de programación. Múltiples mecanismos para apoyar la jerarquía del diseño.

7. Soporte de reconfiguración de diseño versátil.
8. Soporte para múltiples niveles de abstracciones.

## 2.2. Modulación duobinaria para sistemas ópticos.

Los sistemas ópticos utilizan en general la modulación de no retorno a cero (*Non Return to Zero, NRZ*). Si bien la modulación NRZ es adecuada para sistemas de largo alcance en los que la dispersión de la fibra monomodo se compensa con otra fibra con dispersión negativa, no es la mejor opción para las fibras monomodo no compensadas.

La modulación duobinaria resulta ser una opción mucho mejor en este caso, ya que es más resistente a la dispersión y también es razonablemente sencilla de implementar. En esta sección se explican los conceptos básicos de la modulación duobinaria y que claramente es mucho mejor que la modulación NRZ para el canal de fibra óptica no compensado.

### 2.2.1. ¿Qué es la modulación duobinaria?

La modulación duobinaria es un esquema para transmitir  $R$  [bits/s] utilizando menos de  $R/2$  [Hz] de ancho de banda. El resultado de Nyquist indica que para transmitir  $R$  [bits/s] sin interferencia entre símbolos (*InterSymbol Interference, ISI*), el ancho de banda mínimo requerido del pulso transmitido es  $R/2$  [Hz]. (Jadon et al., 2016)

Este resultado implica que los pulsos duobinarios tendrán ISI. Sin embargo, este ISI se introduce de forma controlada para que se pueda restar para recuperar los valores originales. Entonces, la señal transmitida sería,

$$x(t) = \sum_{k=-\infty}^{\infty} d_k q(t - kT), \quad d_k = 0,1$$

Donde,  $d_k$  son los bits de datos,  $q(t)$  es el pulso transmitido y  $T = 1/R$  es el período de bits. El pulso  $q(t)$  generalmente se elige de manera que no existan ISI en las instancias de muestreo ( $t = kT, k = 0, \pm 1 \dots$ , son las instancias de muestreo):

$$q(kT) = \begin{cases} 1 & k = 0 \\ 0 & k \neq 0 \end{cases}$$

NRZ es uno de esos esquemas y requiere un ancho de banda de  $R$  [Hz] para transmitir  $R$  [bits/s] (esto es dos veces más grande que el ancho de banda de Nyquist de  $R/2$  [Hz]). El esquema duobinario más simple transmite pulsos con ISI de la siguiente manera:

$$q(kT) = \begin{cases} 1 & k = 0, 1 \\ 0 & \text{de otra manera} \end{cases}$$

Luego se puede ver en las ecuaciones para  $x(t)$  y la última ecuación que en la instancia de muestreo  $kT$ , el receptor no recupera el bit de datos  $d_k$ , sino más bien  $(d_{k-1} + d_k)$ . Sin embargo, este esquema permite pulsos con un ancho de banda más pequeño. Al permitir algo de ISI, el pulso  $q(t)$  transmitido puede alargarse en el dominio del tiempo y, por lo tanto, su espectro se vuelve más estrecho en el dominio de la frecuencia. Con un espectro más estrecho, los efectos de distorsión del canal también son menores. Este resultado es una de las razones por las que la modulación duobinaria es resistente a la dispersión.

Una forma de generar señales duobinarias es filtrar digitalmente los bits de datos con un filtro de respuesta de impulso finito (FIR) de dos derivaciones (taps) con pesos iguales y luego filtrar en paso bajo la señal resultante para obtener la forma de onda analógica con la propiedad dada en la última ecuación de  $q(kT)$ , tal como se muestra en la figura 2.4. Cuando la entrada al filtro FIR es binaria (dejar estos valores binarios sean -1 y 1), la salida puede tomar uno de tres valores:

$$0.5*(-1 + -1) = -1; -1 + 1 = 0; \text{ o } 0.5*(1 + 1) = 1$$

Por tanto, la señal duobinaria es una señal de tres niveles. Una propiedad importante de la secuencia de tres valores a la salida del filtro FIR es que es una señal correlacionada y, por lo tanto, no pueden ocurrir todas las secuencias posibles de los tres valores. Por ejemplo, la secuencia de salida del filtro FIR no puede contener un 1 seguido de un -1 o un -1 seguido

de un 1; un 1 y un  $-1$  siempre tendrán un 0 entre ellos. De manera similar, las combinaciones  $\{1\ 0\ 1\}$  y  $\{-1\ 0\ -1\}$  tampoco pueden ocurrir nunca en la salida del filtro FIR; solo se puede producir un  $\{-1\ 0\ 1\}$  o un  $\{1\ 0\ -1\}$ . Como se explicará más adelante, esta secuencia es otra razón por la que la modulación duobinaria es resistente a la dispersión.

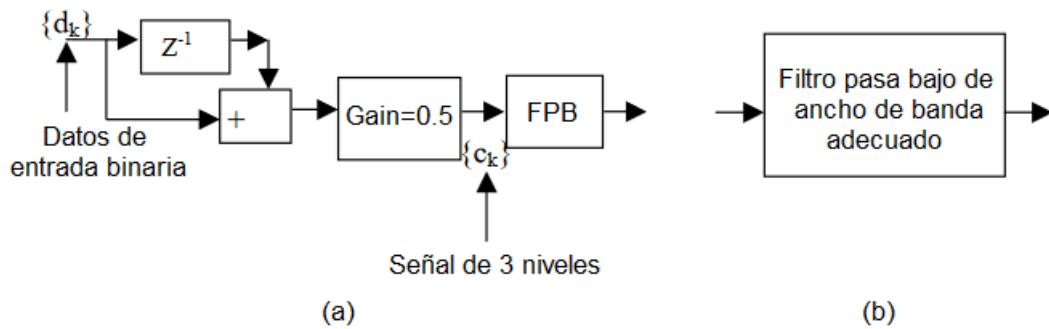


Figura 2. 4: Diagrama de bloques del codificador duobinario.

Fuente: (Jadon et al., 2016)

Como nota final, el filtro FIR y el filtro de paso bajo se pueden combinar en un solo filtro analógico para facilitar la implementación (Figura 1b). El filtro FIR de dos tomas es, después de todo, un simple filtro digital de paso bajo. Para un flujo de datos de 10 Gbps, un buen filtro que combina las funciones del filtro FIR y el filtro analógico es un filtro Bessel de 2,8 GHz.

### Capítulo 3: Desarrollo y análisis de resultados.

En este capítulo se presente el desarrollo del modelo de simulación en MatLab/Simulink sobre dispositivo FPGA y el respectivo análisis de los resultados obtenidos durante la ejecución de los escenarios de simulación propuestos.

#### 3.1. Precodificador Duobinario.

La señal duobinaria se genera mediante la adición de dos bits subsiguientes y, por lo tanto, cuando se decodifica la señal duobinaria a binario, existe la tendencia a que un error de decodificación en un solo bit se propague a través del sistema. El circuito del precodificador duobinario se utiliza para evitar dicha propagación de errores en el sistema. Esto funciona modificando los datos de tal manera que cuando los datos se descodifiquen, el error en un bit dado no dependa de los bits anteriores.

Como resultado, no solo se logra un mejor rendimiento de error, la decodificación de los datos también se vuelve mucho más fácil. El precodificador duobinario consta de una unidad de retardo y una puerta XOR como se indica en la ecuación,

$$y[n] = x[n] XOR x[n - 1]$$

En la figura 3.1 se muestra la estructura de un precodificador duobinario. En las tablas 3.1 y 3.2 se utiliza un ejemplo simple para ilustrar la importancia del precodificador duobinario. En la tabla 3.1, el flujo de datos se convierte de bipolar directo a duobinario, en cuyo caso no hay precodificación, y se puede ver un solo error propagándose desde la cuarta posición hasta la séptima posición de bit.

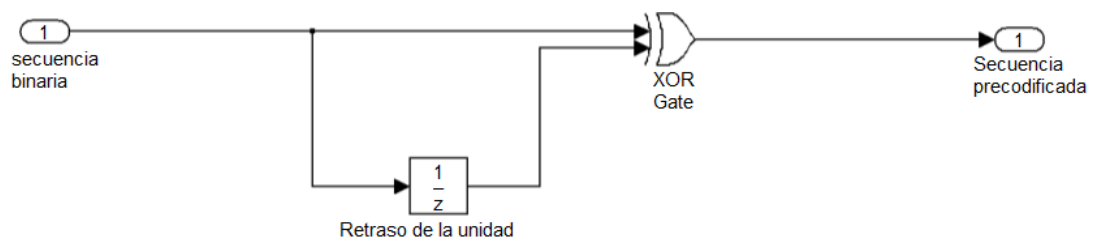


Figura 3. 1: Circuito topológico para el precodificador duobinario.  
Elaborado por: Autor.

Sin embargo, en la tabla 3.2, donde se implementa la precodificación, el mismo error permanece en la posición de bit cuatro y no se propaga más.

Tabla 3. 1: Decodificación duobinaria sin precodificador.

Binaria	0	1	1	0	1	0	1	1	1	0	0	0	
Bipolar	-1	-1	1	1	-1	1	-1	1	1	1	-1	-1	-1
Duobinaria		-2	0	2	2	0	0	0	2	2	0	-2	-2
Descifrada		0	1	1	1	0	1	0	1	1	0	0	0

Elaborado por: Autor.

Tabla 3. 2: Decodificación duobinaria con un precodificador.

Binaria		0	1	1	0	1	0	1	1	1	0	0	0
Precodificado	0	0	1	0	0	1	1	0	1	0	0	0	0
Bipolar	-1	-1	1	-1	-1	1	1	-1	1	-1	-1	-1	-1
Duobinaria		-2	0	0	0	0	2	0	0	0	-2	-2	-2
Descifrada		0	1	1	1	1	0	1	1	1	0	0	0

Elaborado por: Autor.

### 3.2. Codificador Duobinario.

El decodificador duobinario convierte la señal NRZ de dos niveles en una señal duobinaria de tres niveles. Esto se puede lograr de varias maneras. En este trabajo, sin embargo, el enfoque de retardo y filtro de adición se elige por su simplicidad. El proceso de codificación duobinaria es como se muestra en la ecuación,

$$y[n] = x[n] + x[n - 1]$$

En la figura 3-2 se muestra el circuito topológico que representa el diseño del codificador duobinario.

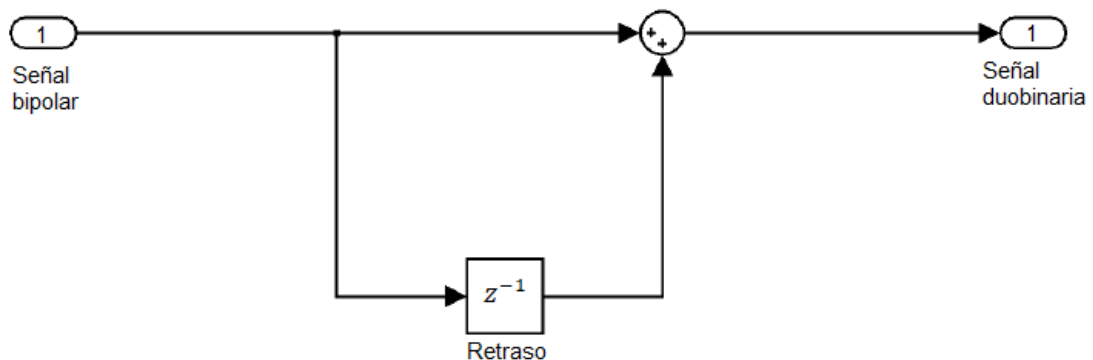


Figura 3. 2: Circuito topológico para el codificador duobinario.

Elaborado por: Autor.

### 3.3. Filtrado de preénfasis o énfasis previo

Los canales de plano posterior generalmente tienen características de paso bajo que conducen a la atenuación de los componentes de alta frecuencia de la señal que se transmite. Como resultado, a veces antes de la transmisión de la señal, se aumentan los componentes de alta frecuencia de la señal. Esto se hace con un filtro llamado filtro de preénfasis. El filtro de preénfasis utilizado para la simulación en este trabajo es un filtro de respuesta de impulso finito (*Finite Impulse Response, FIR*) simple de dos tomas (taps) cuyos taps se determinaron utilizando la herramienta diseño y análisis de filtros (*Filter Design and Analysis, FDA*) en MatLab/Simulink.

### 3.4. Canales

Para el presente trabajo de examen complejo se utilizan dos canales en esta investigación. El primero es un canal de plano posterior Megtron-6 de 29 pulgadas que se ha caracterizado hasta una frecuencia de 50 GHz y el segundo es un plano posterior FCI con una longitud total de 32 pulgadas. La respuesta de estos canales se guarda en un formato touchstone (SNP) y en esta parte se utiliza el software MatLab para extraer todos los datos.

En la figura 3.3 y la figura 3.4 se muestran estos canales y sus respuestas correspondientes.

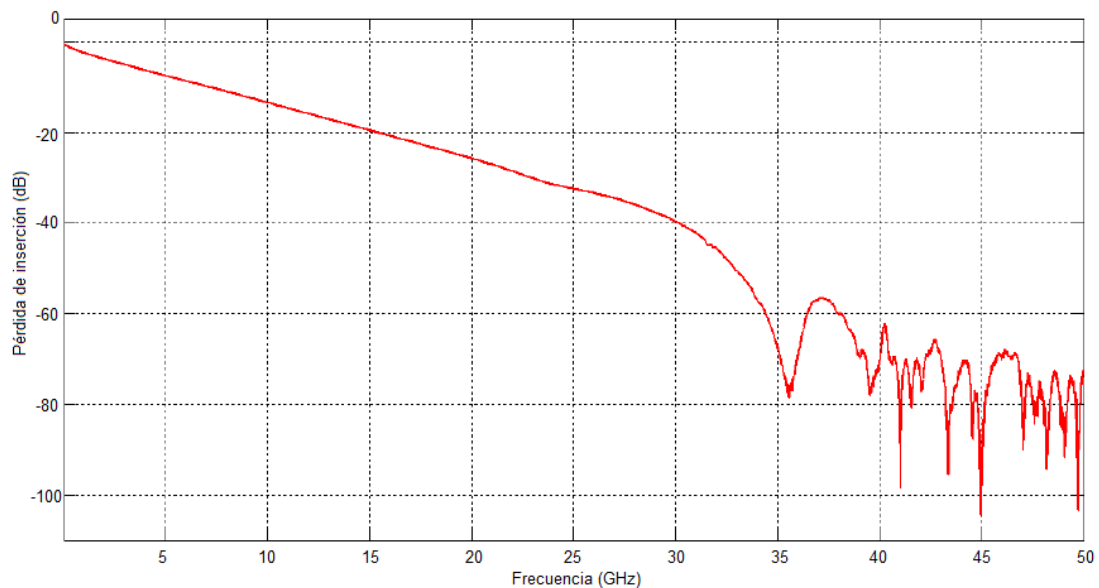


Figura 3. 3: Respuesta de canal para el dispositivo Megtron.  
Elaborado por: Autor.

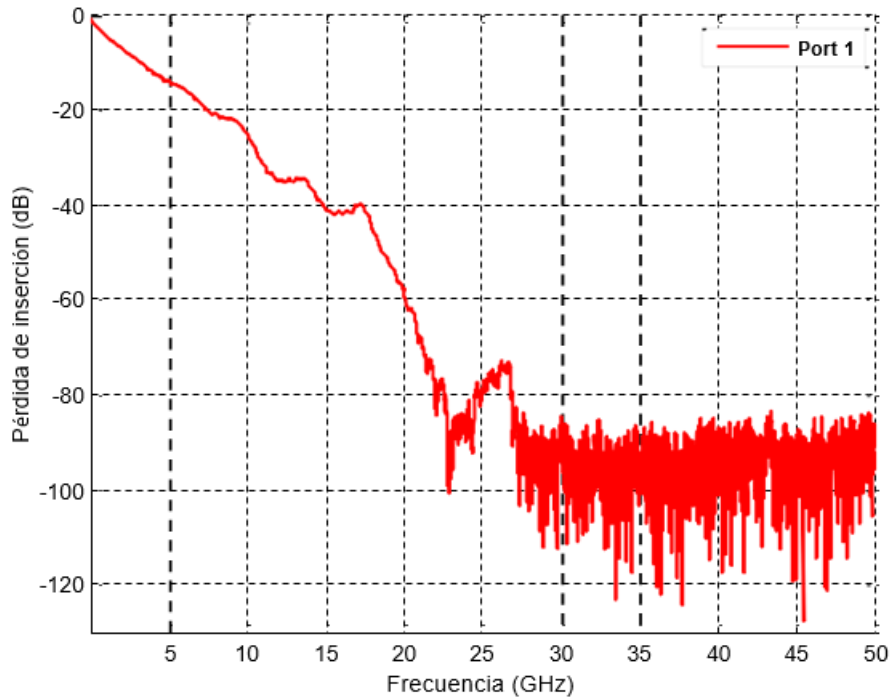


Figura 3. 4: Respuesta de canal para el dispositivo FCI.  
Elaborado por: Autor.

### 3.5. Ecuación de recepción.

A veces, además de la ecualización de transmisión, se requiere un ecualizador de recepción en el extremo del receptor. Para esta parte el ecualizador de retroalimentación de decisiones (*Decision Feedback Equalizer, DFE*) que utiliza el algoritmo de mínimos cuadrados promediados (*Least Mean Squares, LMS*) será diseñado e implementado en la simulación. Este tiene dos derivaciones (taps) de avance y una derivación (tap) de retroalimentación con un tamaño de paso de 0.1.

### 3.6. Decodificador duobinario.

En el receptor, es necesario recuperar la señal binaria original de la señal duobinaria. El decodificador duobinario se utiliza para ese propósito y comprende dos comparadores, dos niveles de voltaje umbral y una puerta XNOR. El decodificador duobinario se muestra en figura 3.5. La señal duobinaria de alta velocidad se alimenta a ambos comparadores y se compara con los umbrales dados. Las salidas resultantes se pasan a la puerta XNOR. Cuando la entrada duobinaria es mayor que ambos niveles de referencia en los comparadores, la salida es un 1. La salida es un 0 cuando la entrada duobinaria es mayor que la referencia en "Comparador" y menor que la de



"Comparador 1". Finalmente, la salida es un 1 cuando la entrada duobinaria es menor que los niveles de referencia en ambas entradas del comparador. La tabla 3.3 resume estos resultados en una tabla de verdad.

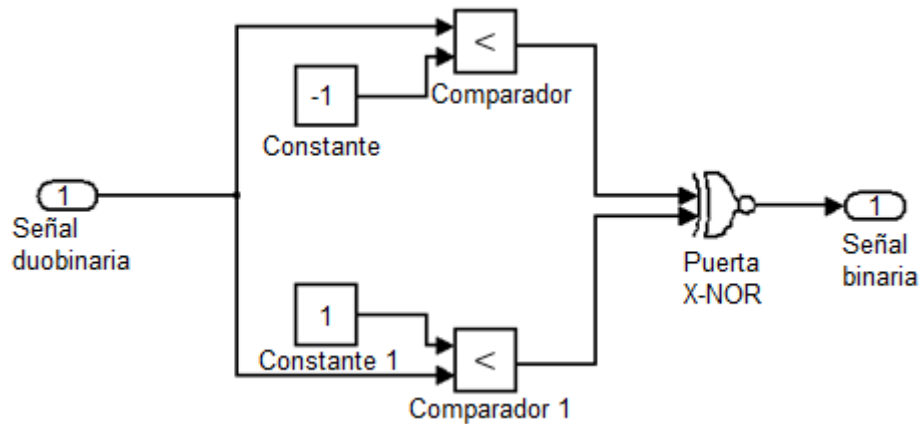


Figura 3. 5: Decodificador duobinario.  
Elaborado por: Autor.

Tabla 3. 3: Tabla de verdad que muestra el resultado de la decodificación duobinaria

	Comparador	Comparador 1	Salida
$V > V_2$	0	0	1
$V_1 < V < V_2$	0	1	0
$V < V_1$	1	1	1

Elaborado por: Autor.

### 3.7. Simulación de modelo

En esta sección se discute primero la simulación del modelo sin el canal y los ecualizadores. La siguiente simulación se realiza solo con el canal y el filtro de transmisión y la simulación final se realiza para el sistema completo, incluido el transmisor, el canal y el receptor.

#### 3.7.1. Escenario de simulación sin canal.

La figura 3.6 ilustra el modelo completo del sistema sin el canal y los ecualizadores presentes. Esto se simula para verificar el funcionamiento correcto del sistema de codificador/decodificador duobinario sin el canal. Se compone de un generador binario Bernoulli de 11.3 Gbps seguido de un precodificador duobinario. A continuación, el convertidor unipolar a bipolar y el decodificador duobinario. En el extremo receptor está el decodificador duobinario que básicamente consiste en comparadores y compuerta XNOR.

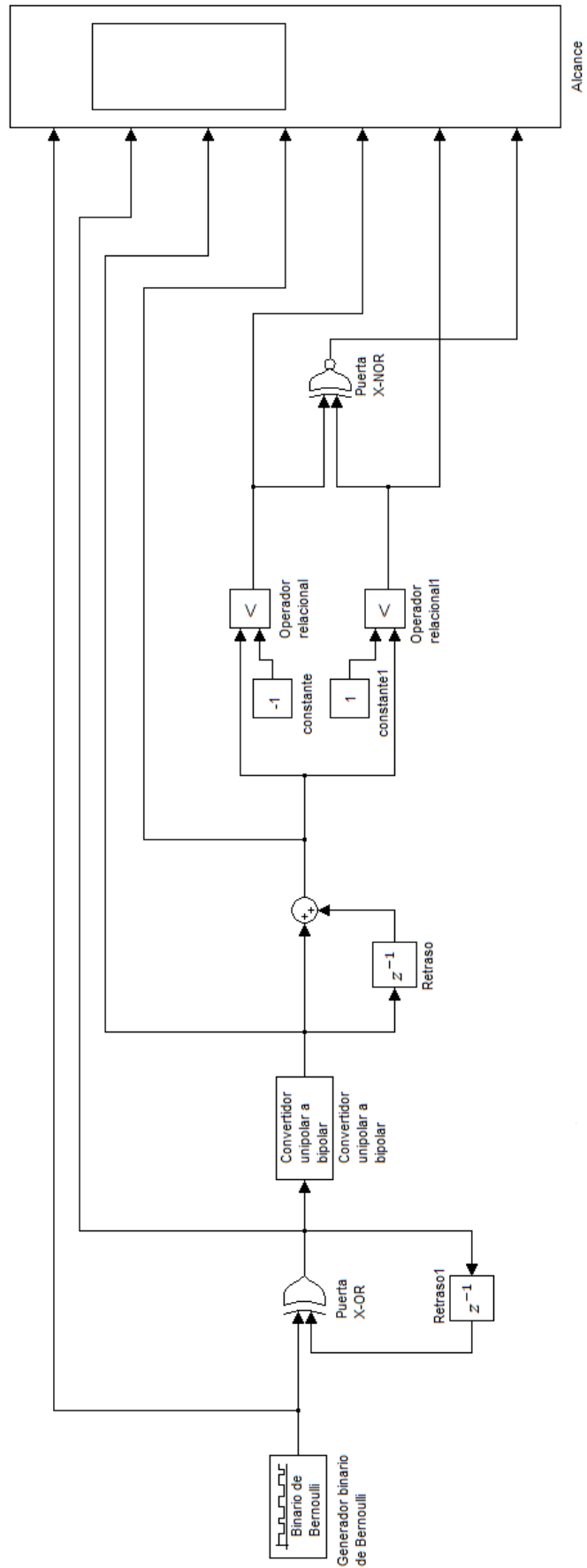


Figura 3. 6: Modelo de sistema sin canal.  
Elaborado por: Autor.

La figura 3.7 muestra los resultados de la simulación. La señal en la primera fila es la señal NRZ de 11.3 Gbps generada por el Generador de números aleatorios de Bernoulli, mientras que la segunda indica la señal NRZ retrasada. Pasando a la tercera fila está la secuencia binaria precodificada seguida de la señal bipolar en la cuarta fila. En la quinta fila está la señal duobinaria de tres niveles. En la última fila está la señal binaria recuperada, que es la misma que la secuencia NRZ transmitida inicialmente en la primera fila. Esto indica una decodificación adecuada de la señal transmitida, y; Por lo tanto, el correcto funcionamiento del modelo.

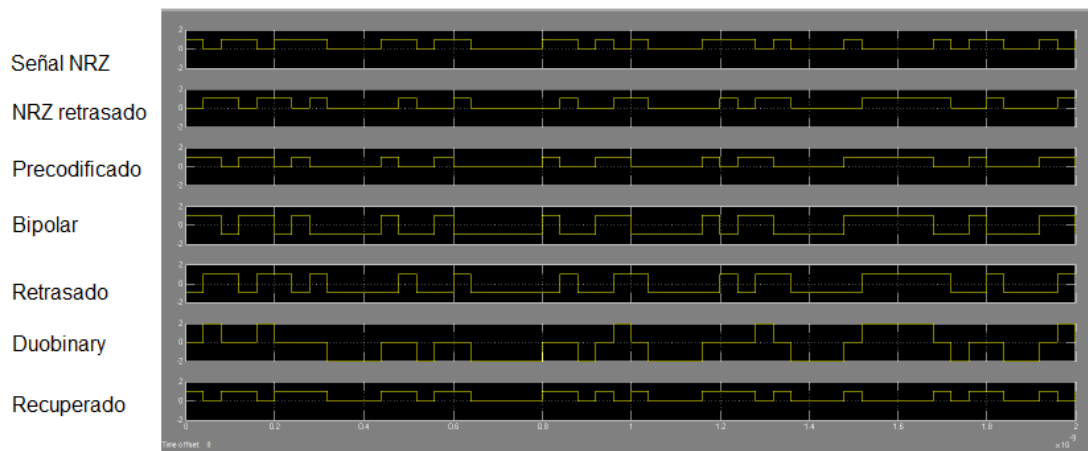


Figura 3. 7: Resultados del escenario de simulación sin canal.  
Elaborado por: Autor.

### 3.7.2. Escenario de simulación con canal.

Aquí, todos los demás componentes del diseño, como el canal y los ecualizadores, se incluyen para completar el modelo de simulación que se muestra en la figura 3.8. Luego se realiza una simulación y esta vez, se utilizan diagramas de ojo en lugar de ámbitos de tiempo para ver los resultados obtenidos. Al igual que en la sección 3.7.1, la fuente binaria, el precodificador y el precodificador duobinario están presentes.

Sin embargo, además de eso, están el canal y los ecualizadores, así como un par de otros diagramas de bloques de soporte. El sistema completo con el canal y los ecualizadores es como se muestra en la figura 3.8.

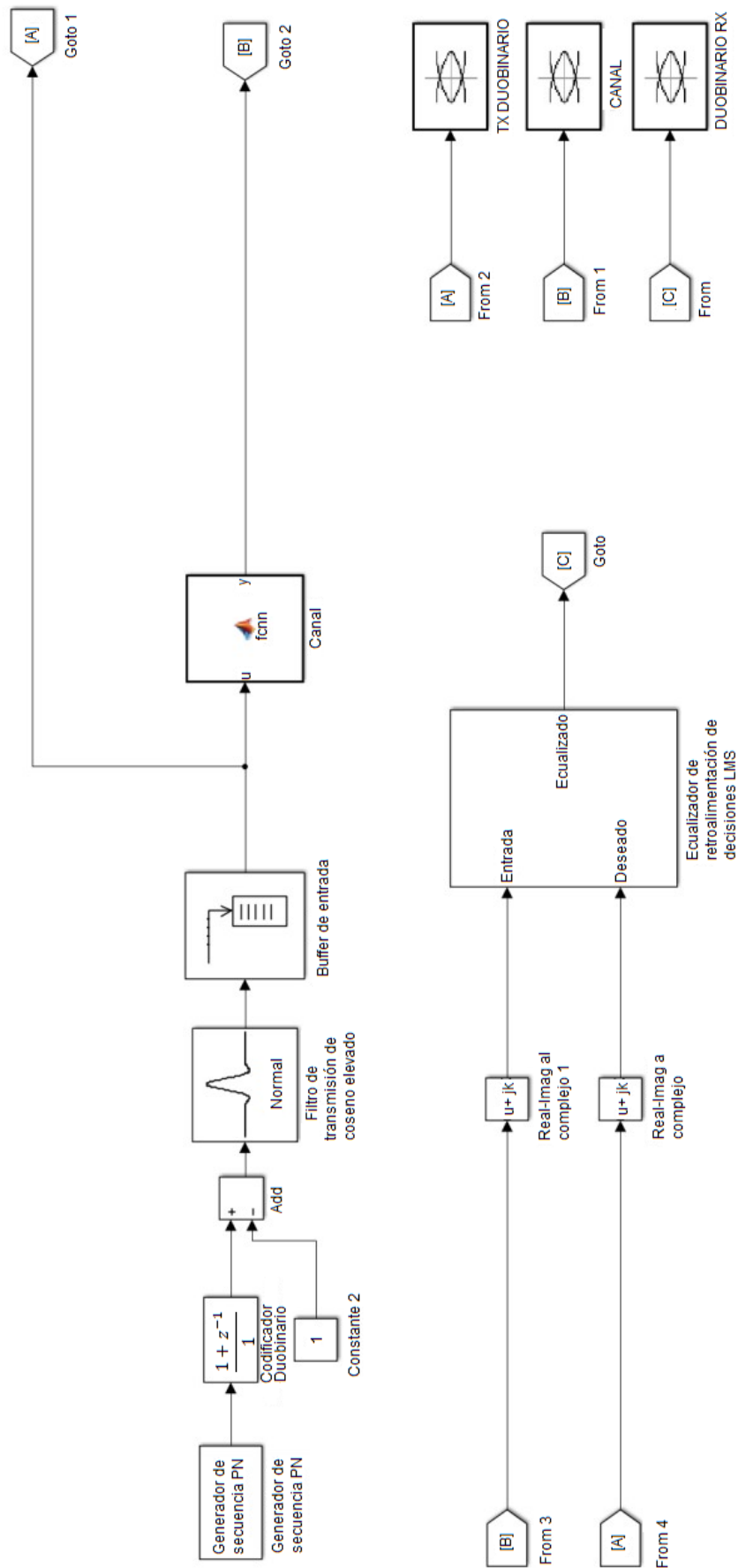
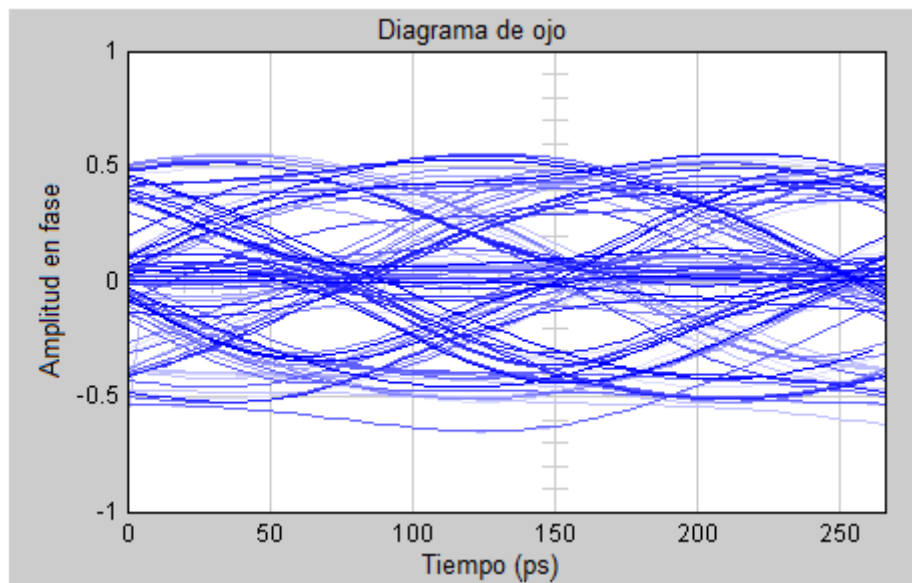
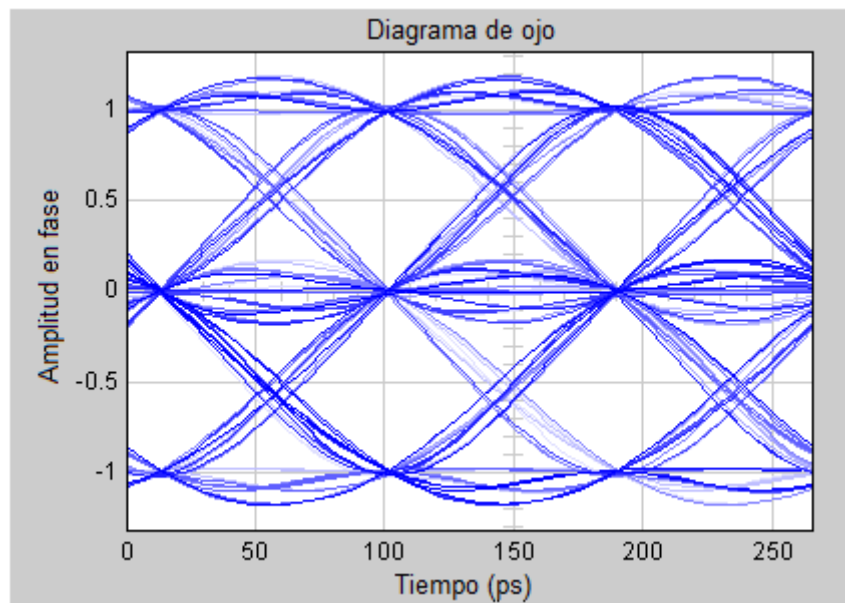


Figura 3. 8: Modelo completo de transmisor duobinario que incluye canal.  
Elaborado por: Autor.

La fuente de datos utilizada para esta simulación es un generador de secuencia PN que genera un patrón PRBS a la velocidad de datos deseada. El patrón pasa al decodificador duobinario donde se convierte en una señal NRZ de dos niveles a una señal duobinaria de tres niveles. El filtro de coseno elevado con un ancho de banda en exceso de 0.6 y un factor de muestreo ascendente de 20 se utiliza para dar forma al pulso duobinario antes de la transmisión al canal. El búfer de entrada convierte la señal basada en muestras en una señal basada en tramas a una velocidad de 5000 muestras por trama.



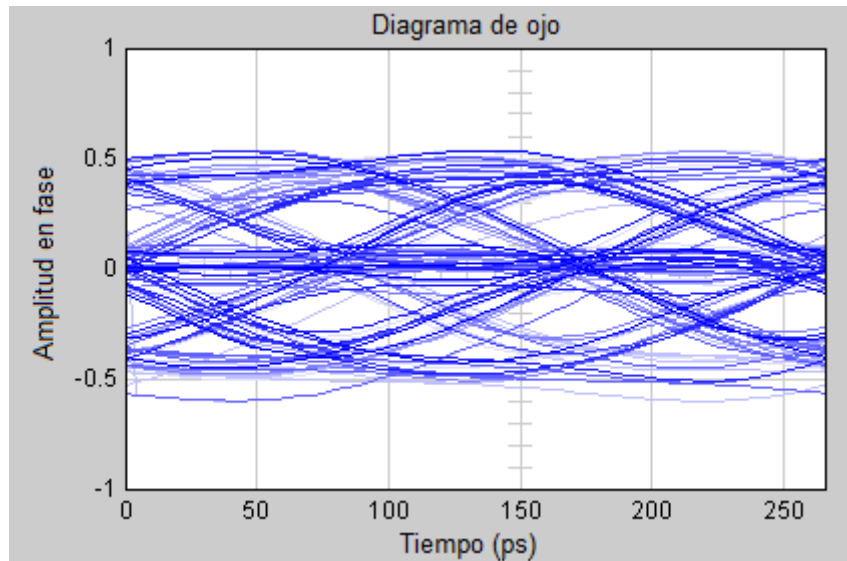
(a) antes de la ecualización



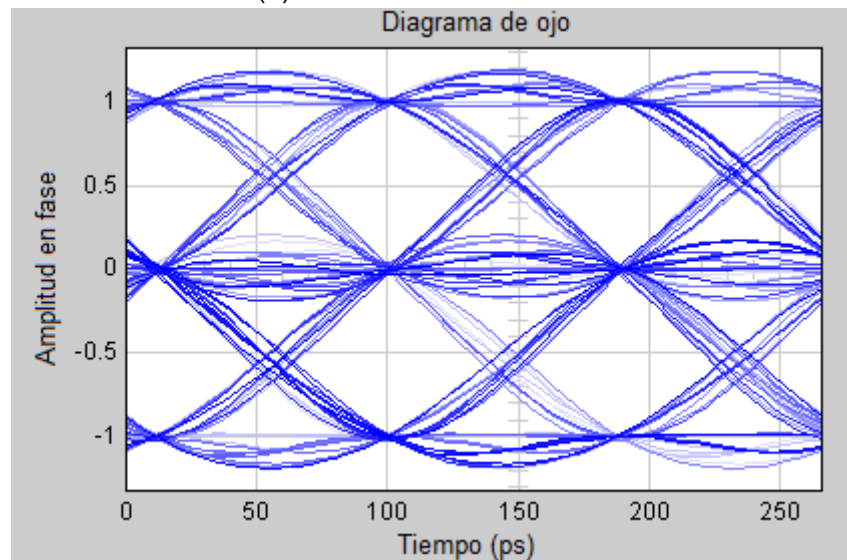
(b) después de la ecualización

Figura 3. 9: Diagramas de ojo para el transmisor Megtron a 11.3 Gbps  
Elaborado por: Autor.

Esto se debe a que el número de muestras en los parámetros S del canal es 5000. El bloque de funciones de MatLab simula el canal dado. Dentro de este bloque, se calcula la transformada de Fourier (FT) de las muestras, después de lo cual se multiplica por la respuesta de frecuencia del canal. El resultado se convierte de nuevo al dominio del tiempo tomando la transformada rápida inversa de Fourier (IFFT). La ecualización se realiza a continuación utilizando el ecualizador de recepción.



(a) Antes de la ecualización



Después de la ecualización

Figura 3. 10: Diagramas de ojo para el transmisor FCI a 11.3 Gbps  
Elaborado por: Autor.

La comparación de los diagramas de ojo resultantes antes y después del ecualizador muestra una mejora notable. Después de pasar por el canal, el diagrama de ojo duobinario se atenúa severamente, pero después de la

ecualización, la señal duobinaria de tres niveles sale limpia. Estos resultados son los que se muestran en la figura 3.9 para la tarjeta Megtron y en la figura 3.10 para el plano posterior FCI.

### 3.8. Implementación propuesta de ASIC

Debido a que el FPGA es inherentemente un dispositivo binario, la implementación de una señal de tres niveles no es factible en este momento. Se trató de tener acceso a la estructura interna de los transceptores de Altera FPGA, pero no fue posible. Por lo tanto, se propone una implementación ASIC (Circuito Integrado de Aplicación Especifica) de la sección de codificador/decodificador duobinario con la FPGA aun sirviendo como dispositivo para la generación de datos, la verificación y la ecualización de canales.

El ASIC se coloca en la placa FPGA de modo que cuando los datos de NRZ se transmitan desde la FPGA y pasen desde la subcapa de codificación física (PCS) y medio físico adjunto (PMA) del transmisor, va al codificador duobinario de la placa antes de transmitirse en el canal. En el receptor, la señal duobinaria se convierte de nuevo a NRZ antes de que tenga lugar el reloj y recuperación de datos (CDR). En la figura 3.11 se muestra el diagrama de bloques para la arquitectura propuesta.

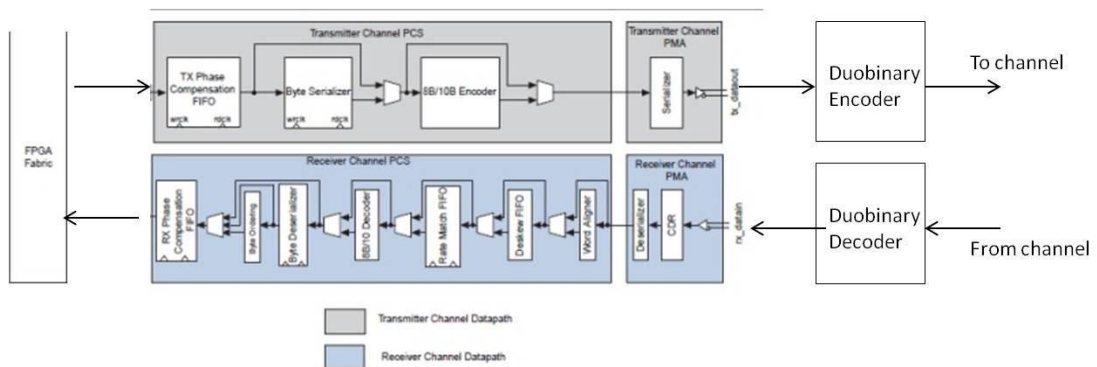


Figura 3. 11: Propuesta de implementación ASIC del transceptor FPGA  
Elaborado por: Autor.

La arquitectura anterior ofrece varias ventajas. La principal es que toda la estructura de los transceptores FPGA no está distorsionada. Todas las operaciones de NRZ aún pueden llevarse a cabo como de costumbre. En

segundo lugar, otros métodos u operaciones de codificación de línea también se pueden integrar fácilmente en los transceptores.

Las secciones posteriores demuestran cómo se genera el código HDL (no sintetizable en este momento por los motivos discutidos al comienzo de esta subsección) para el sistema y también la arquitectura propuesta en Simulink. Además, se muestra la simulación de la arquitectura en Simulink.

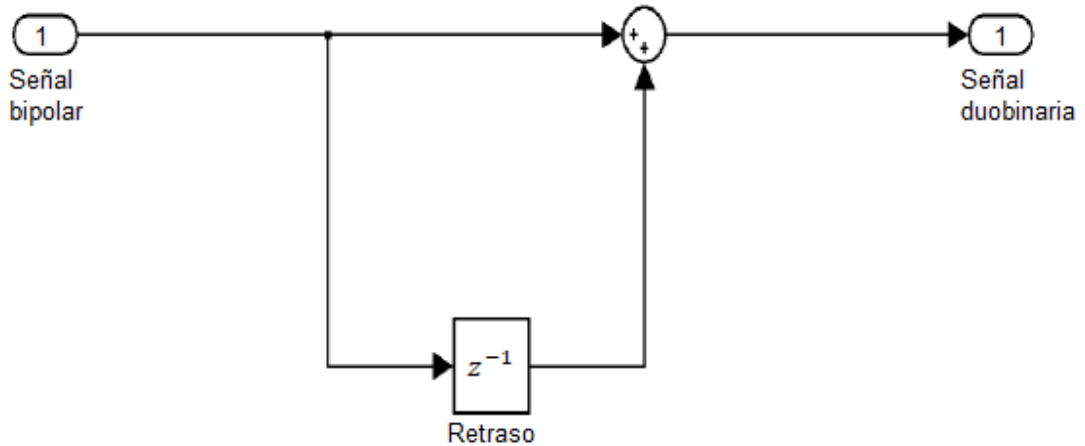


Figura 3. 12: Arquitectura de codificador duobinario para implementación ASIC.  
Elaborado por: Autor.

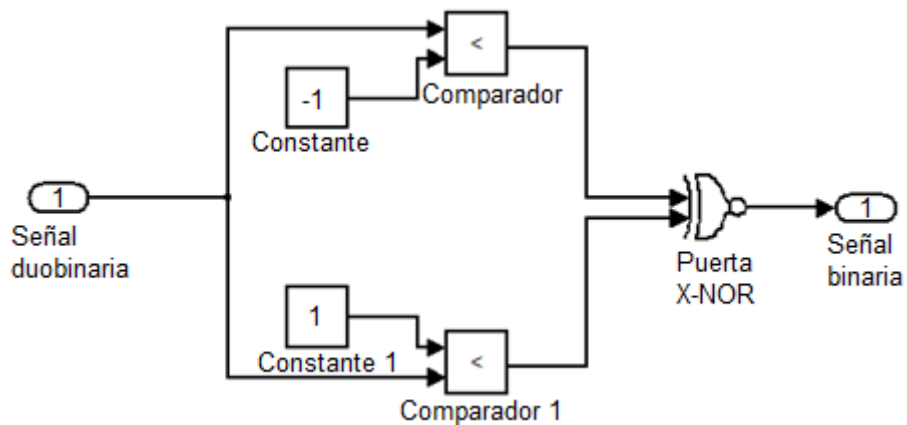


Figura 3. 13: Arquitectura de decodificador duobinario para implementación ASIC.  
Elaborado por: Autor.

### 3.9. Generación de código HDL para codificador/decodificador duobinario.

El codificador HDL desde Simulink es utilizado para generar el código de lenguaje de descripción de hardware (HDL) requerido para implementar el codificador/decodificador duobinario. Se inicia desde la pestaña Simulación de la barra de menú en Simulink. En la figura 3.14 se observa una generación



exitosa de código HDL para el codificador duobinario, mientras que la figura 3.15 muestra la conexión de arquitectura en Quartus. Los bloques codificadores/decodificadores duobinarios se crearon en Quartus a partir del código generado por Simulink.

```

Command Window
New to MATLAB? Watch this Video, see Demos, or read Getting Started.
### Generating HDL for 'DUOBINARY_ENCODER'
### Starting HDL Check.
### HDL Check Complete with 0 errors, 0 warnings and 0 messages.

### Begin Verilog Code Generation
### Working on DUOBINARY_ENCODER as C:\Users\Documents\
### HDL Code Generation Complete.

fx >>
  
```

Figura 3. 14: Generación exitosa del código HDL  
Elaborado por: Autor.

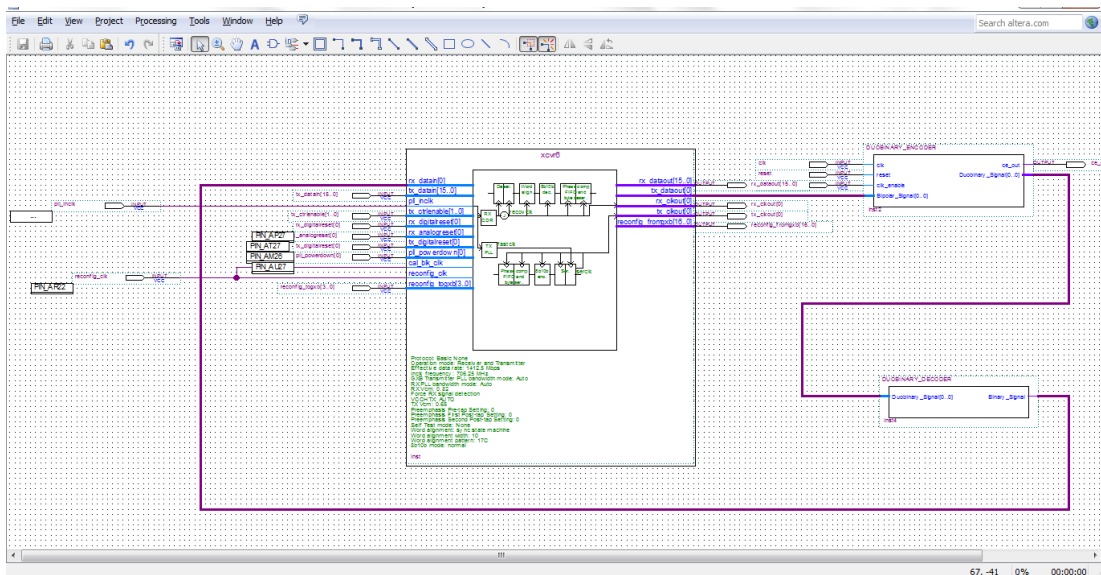


Figura 3. 15: Arquitectura propuesta en Quartus II.  
Elaborado por: Autor.

### 3.10. Simulación de arquitectura propuesta.

Esta sección tiene la simulación del sistema completo de extremo a extremo, incluida la sección del transmisor, el canal y el receptor. El modelo se muestra en la figura 3.16.

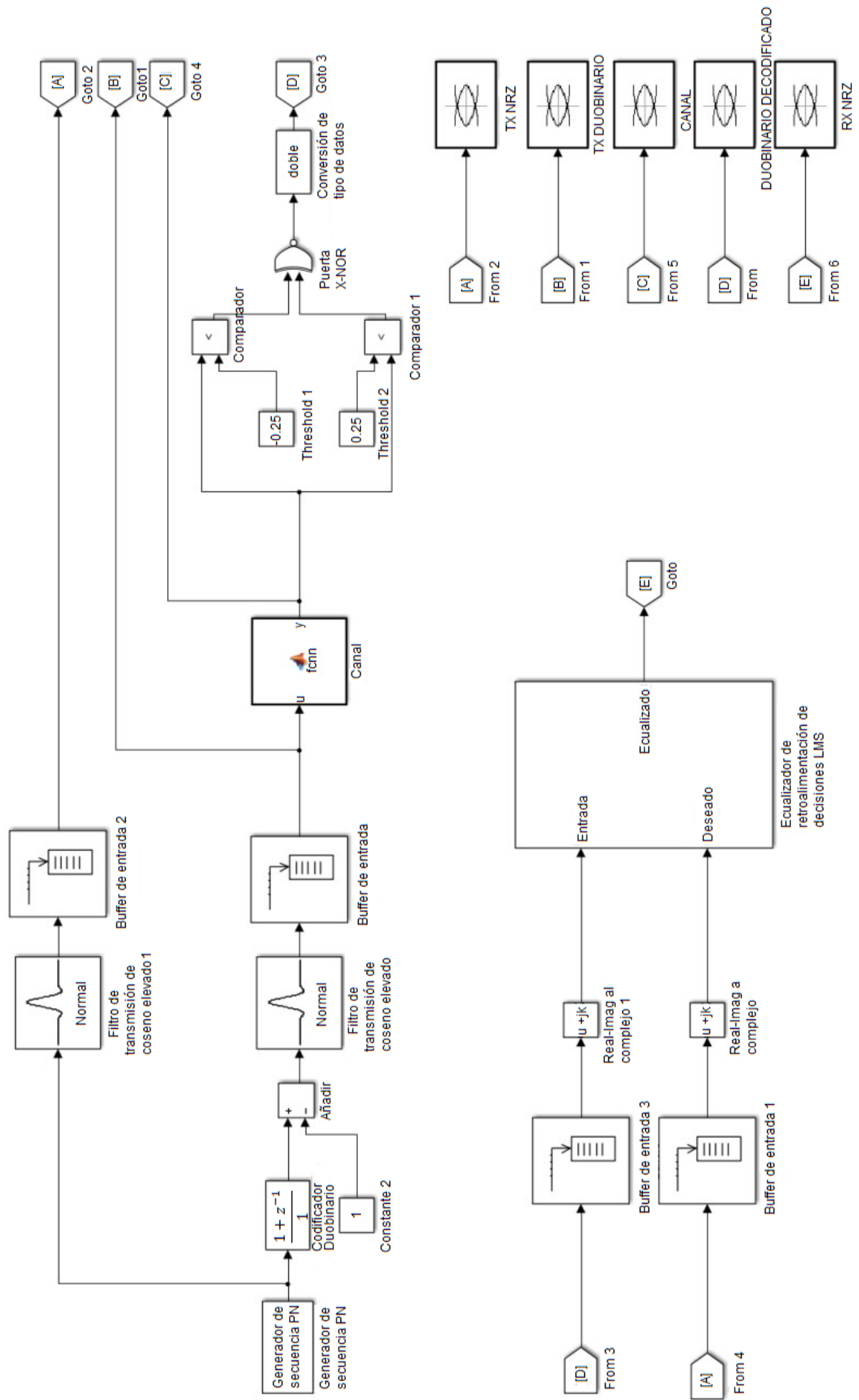
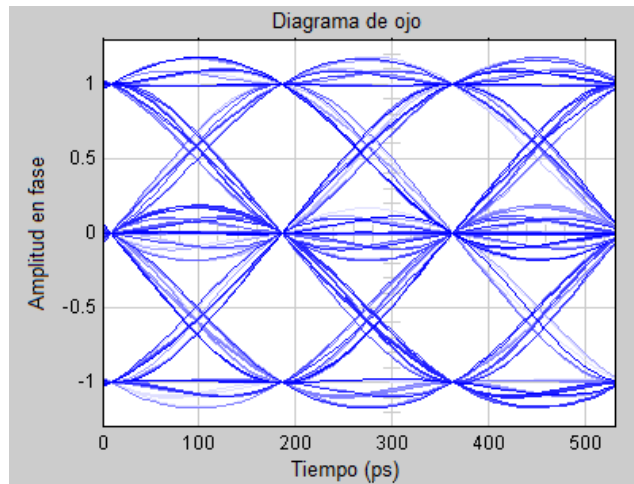
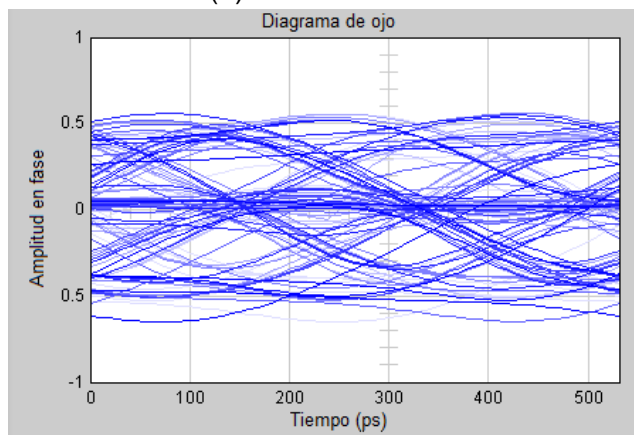


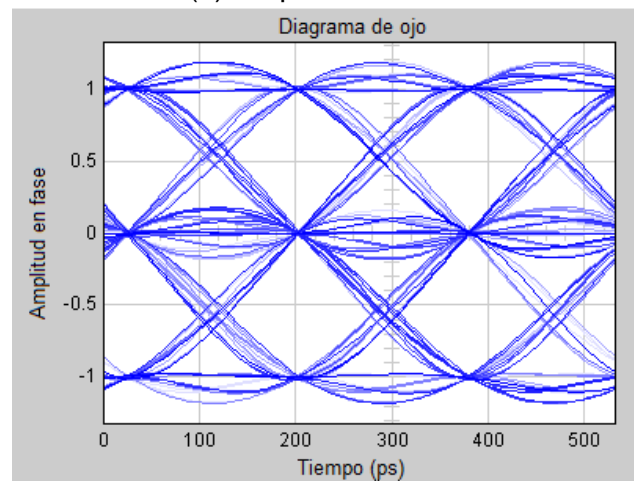
Figura 3. 16: Propuesta de modelo de arquitectura de extremo a extremo.  
Elaborado por: Autor.



(a) antes del canal



(b) después del canal

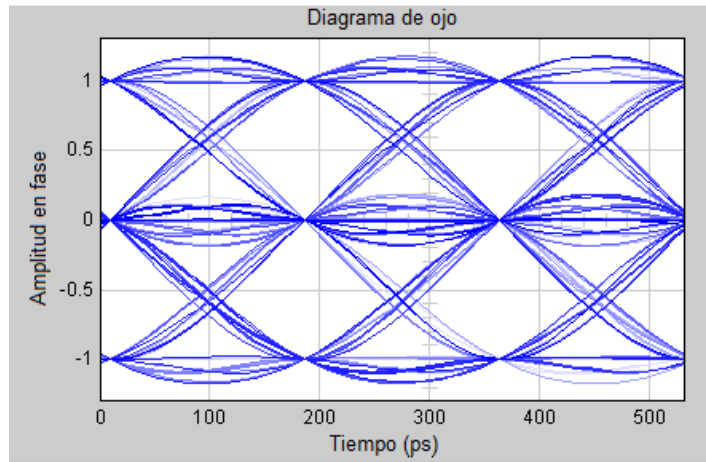


(c) Después de la ecualización

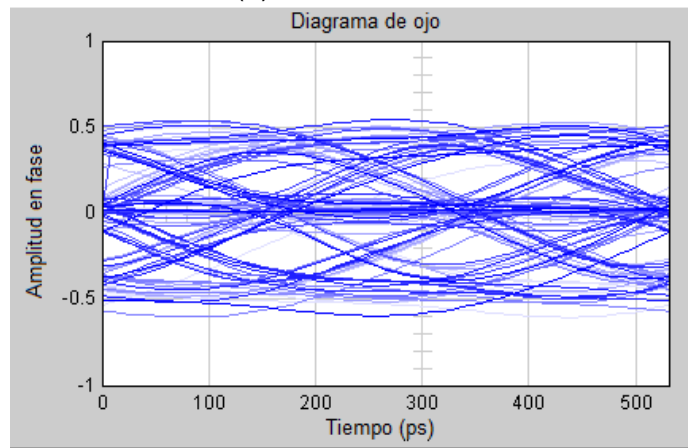
Figura 3. 17: Resultados duobinarios para la tarjeta Megtron a 5.65 Gbps.  
Elaborado por: Autor.

El rendimiento del sistema duobinario depende de los valores de umbral del decodificador. Un enfoque sería elegir estos valores en el momento de la simulación y luego usarlos para la implementación del hardware. Los resultados de la simulación se muestran en la figura 3.17 (b) y figura 3.18 (b)

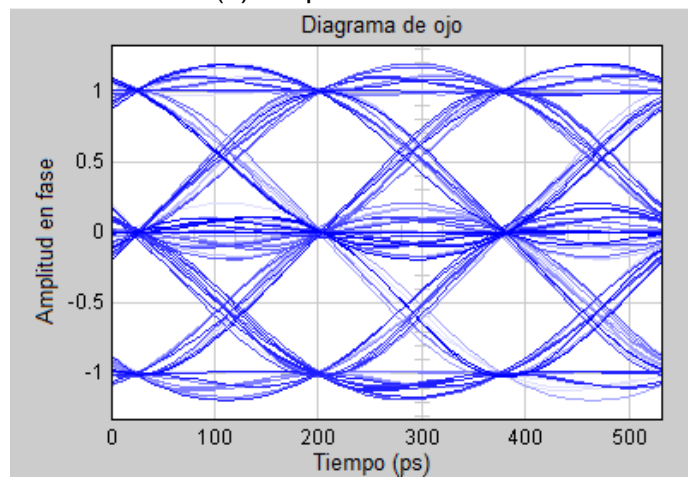
indican que la señal duobinaria se atenúa aproximadamente a la mitad de su magnitud.



(a) antes del canal



(b) después del canal



(c) después de la equalización.

Figura 3. 18: Resultados duobinarios para el plano posterior FCI a 5,65 Gbps  
Elaborado por: Autor.

Esto significa que el nivel de señal disminuye entre -0.5V y 0.5V. El muestreo se realiza normalmente en el medio del ojo, que corresponde en

este caso a 0.25V y -0.25V. Por esa razón, los niveles de umbral del decodificador duobinario se establecen en -0.25V y 0.25V, respectivamente.

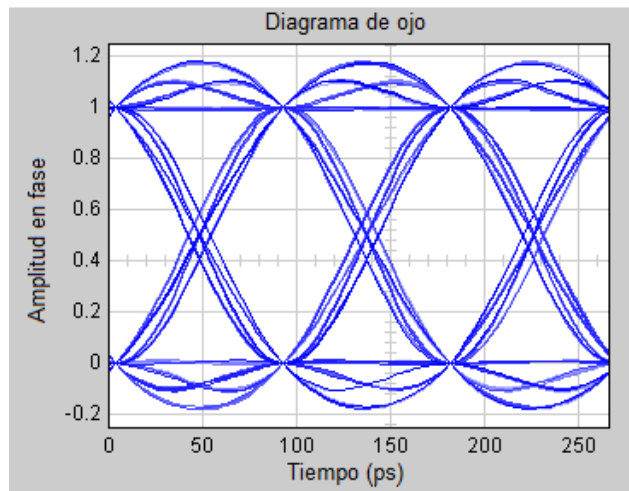
También se pueden utilizar valores más bajos de -0.1V y 0.1V. Sin embargo, si no se conoce la atenuación del canal, los valores umbral óptimos podrían tener que determinarse mediante un algoritmo adaptativo. El sistema se simula y se comparan los diagramas de ojo resultantes dentro y fuera de ambos canales.

Se observa que los diagramas de ojo para el plano posterior de FCI sufren mayor atenuación debido a la mayor longitud de rastreo y también al efecto de los conectores. No obstante, la atenuación del decodificador duobinario decodifica con éxito el ojo de nuevo a binario. Los diagramas de ojo en el transmisor y receptos se parecen mucho para ambos canales, tal como se muestran en las figuras 3.17 y 3.18. Obsérvese que hay una mejora en la apertura del ojo, que se explicarán en la sección 3.12.

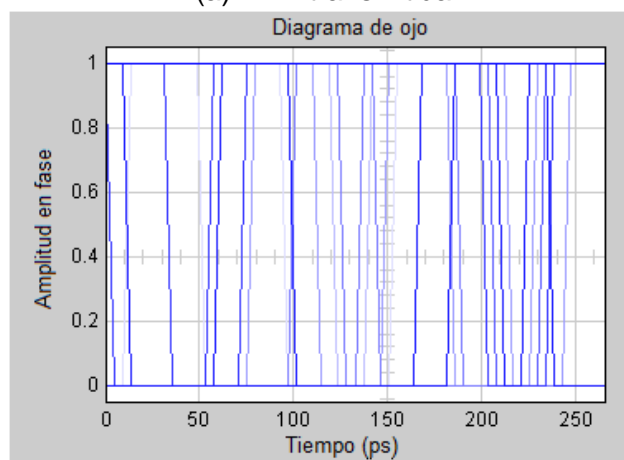
### **3.11. Decodificación duobinaria con canal.**

La figura 3.16 muestra un sistema duobinario completo que incluye el codificador, el canal y el decodificador. Esta sección visualiza el diagrama de ojo NRZ original transmitido al codificador duobinario y a través del canal y luego lo compara con el diagrama de ojo en el receptor sin y con ecualización de recepción, tal como se muestran los resultados en la figura 3.19.

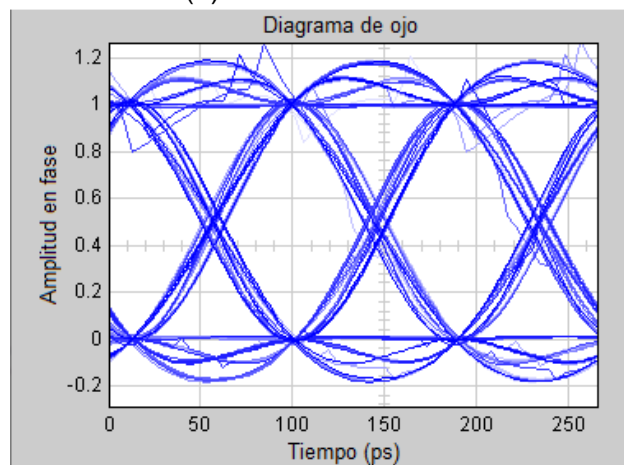
La figura 3.19 (a) muestra el patrón de ojo transmitido al canal, mientras que la figura 3.19 (b) muestra el patrón de ojo para la señal duobinaria decodificada antes de que sea ecualizada por el DFE. Se ve que, aunque es una señal NRZ de dos niveles, no es ordenada y puede conducir a errores en la detección de la señal. La figura 3.19 (c) muestra una señal decodificada y ecualizada. Ésta es una señal clara. Por lo tanto, es importante tener el ecualizador para limpiar la señal después de que haya sido corrompida por el ruido y las degradaciones del canal.



(a) NRZ transmitida



(b) NRZ decodificado



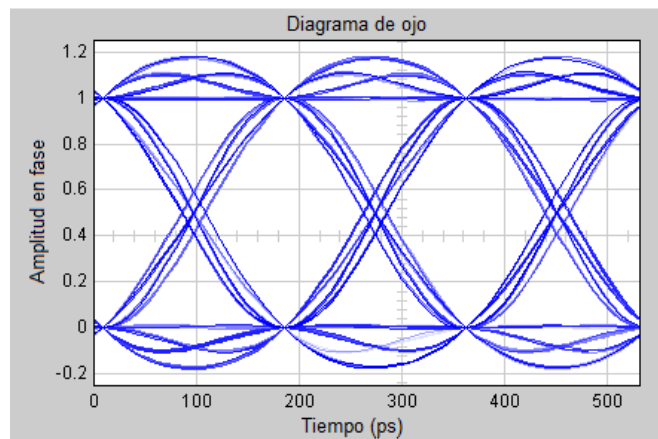
(c) NRZ recibido

Figura 3. 19: Significancia del ecualizador de recepción.  
Elaborado por: Autor.

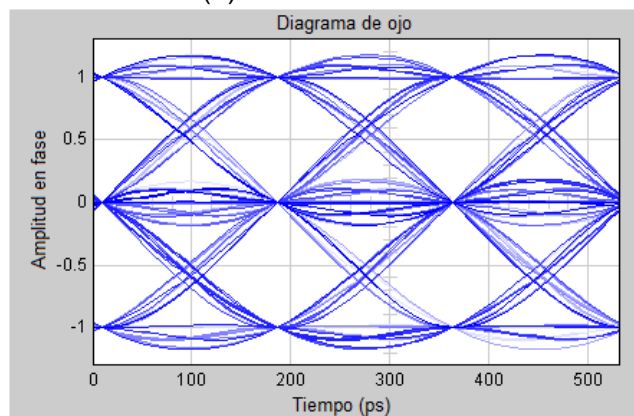
### 3.12. Comparación de los resultados obtenidos para NRZ y duobinario.

Esta sección compara los resultados del diagrama de ojo para las señalizaciones NRZ y duobinario en términos de los diagramas de ojo

obtenidos. No se cambiaron los ajustes al pasar de NRZ a duobinario, excepto por la inclusión del codificador duobinario y los bloques del decodificador duobinario. Los resultados para ambos canales se ven con velocidades de datos de 5.65 Gbps y 11.3 Gbps. En la figura 3.20 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario en la etapa de transmisión para FCI (escenario 1) con una tasa de datos de 5.65 Gbps.



(a) NRZ transmitida

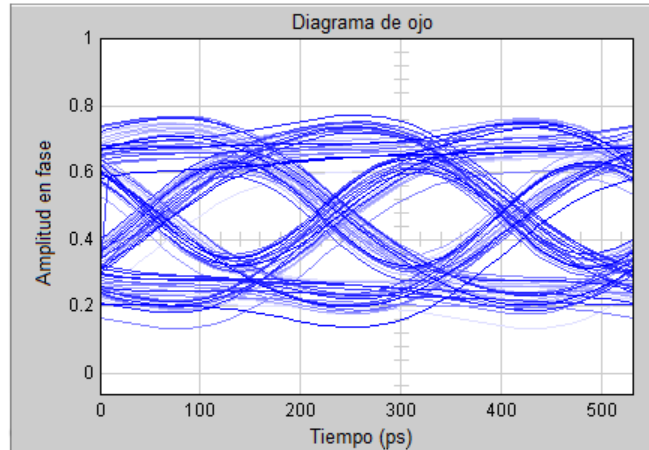


(b) Duobinario transmitido

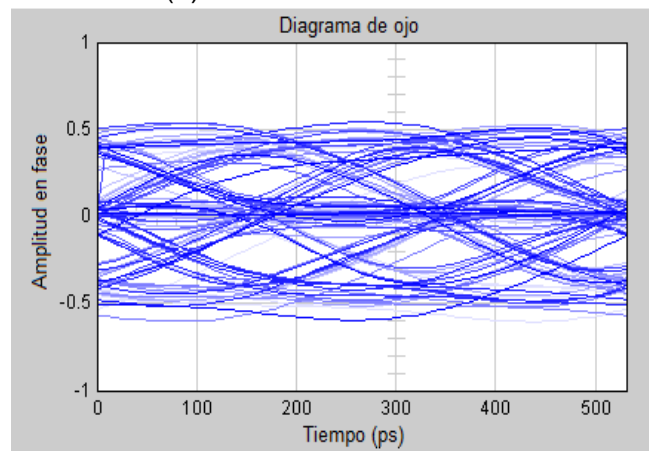
Figura 3. 20: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para el escenario 1.

Elaborado por: Autor.

La figura 3.21 muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario a través del canal para el escenario 1 con una tasa de datos de 5.65 Gbps. Finalmente, la figura 3.22 muestra las señales comparativas entre los diagramas de ojo de NRZ y duobinario en el receptor para el escenario 1 con una tasa de datos de 5.65 Gbps. De manera análoga a las figuras 3.20, 3.21 y 3.22 se muestran los resultados comparativos para la tarjeta Megtron (escenario 2) con la misma tasa de datos 5.65 Gbps.

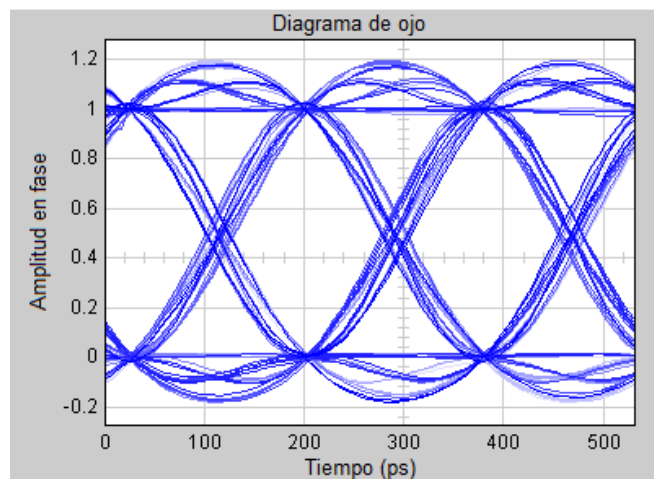


(a) NRZ a través del canal



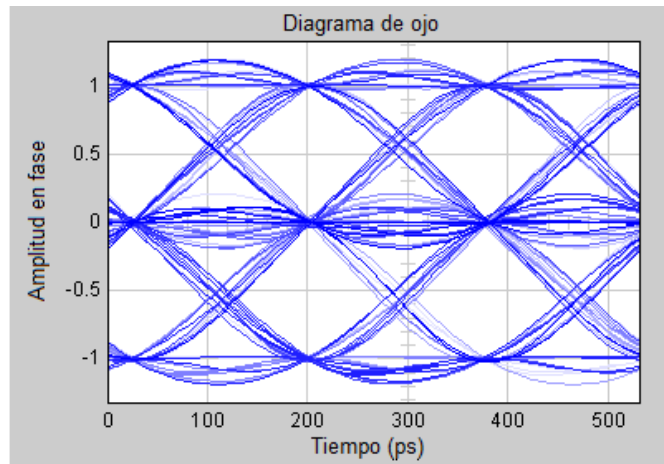
(b) Duobinario a través del canal

Figura 3. 21: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para el escenario 1.  
Elaborado por: Autor.



(a) NRZ recibido

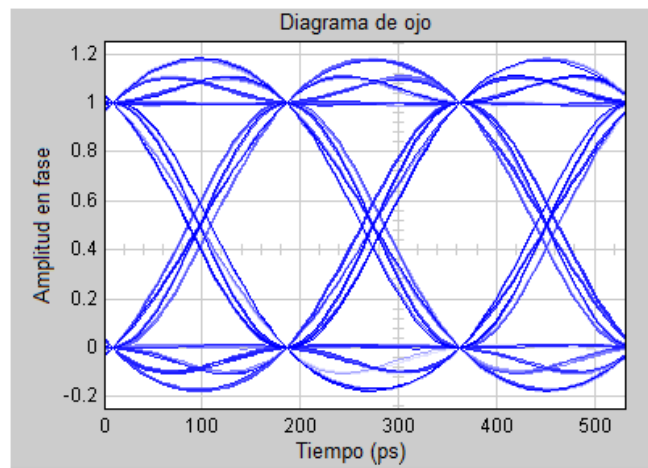




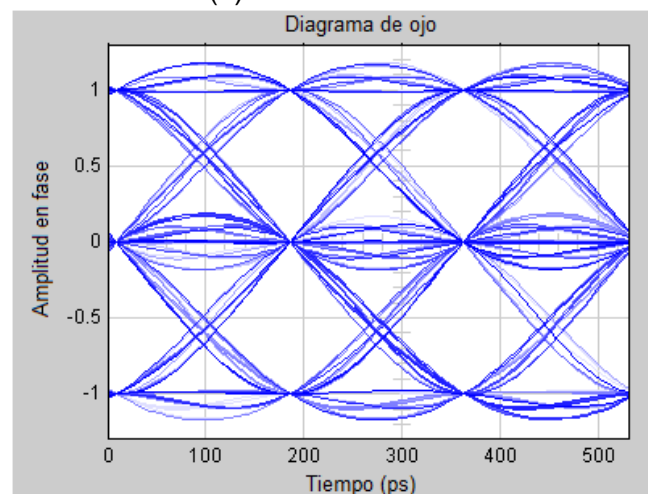
(b) Duobinario recibido

Figura 3. 22: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 1.

Elaborado por: Autor.



(a) NRZ transmitido

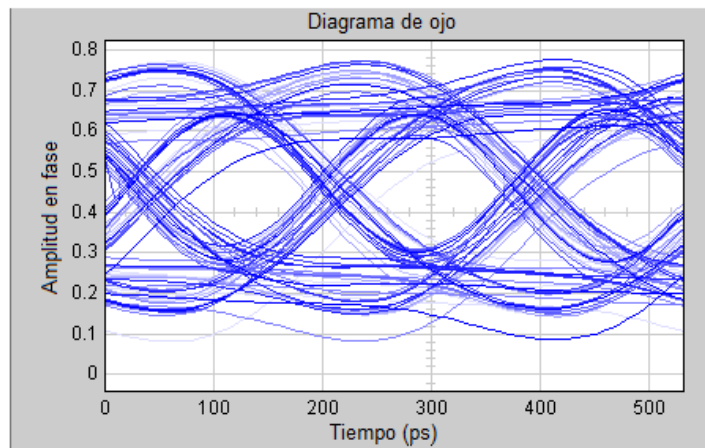


(b) Duobinario transmitido

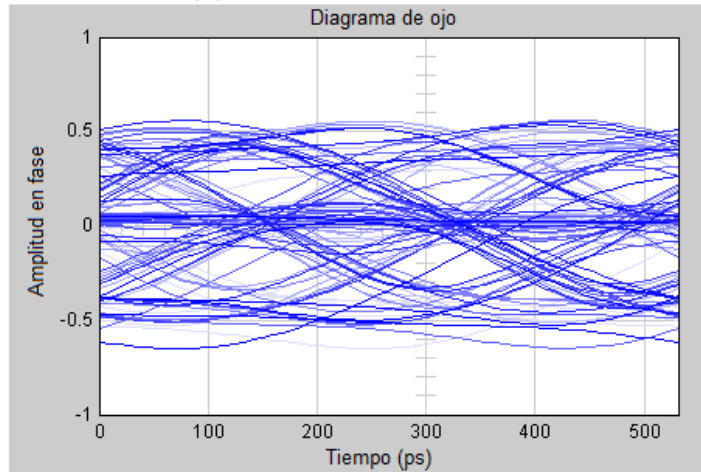
Figura 3. 23: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 2.

Elaborado por: Autor.

La figura 3.23 muestra las señales comparativas entre los diagramas de ojo de NRZ y duobinario en la etapa de transmisión para el escenario 2 con una tasa de datos de 5.65 Gbps. La figura 3.24 muestra las señales comparativas entre los diagramas de ojo de NRZ y duobinario a través del canal para el escenario 2 con una tasa de datos de 5.65 Gbps. Finalmente, la figura 3.25 muestra las señales comparativas entre los diagramas de ojo de NRZ y duobinario en el receptor para el escenario 2 con una tasa de datos de 5.65 Gbps.



(a) NRZ a través del canal



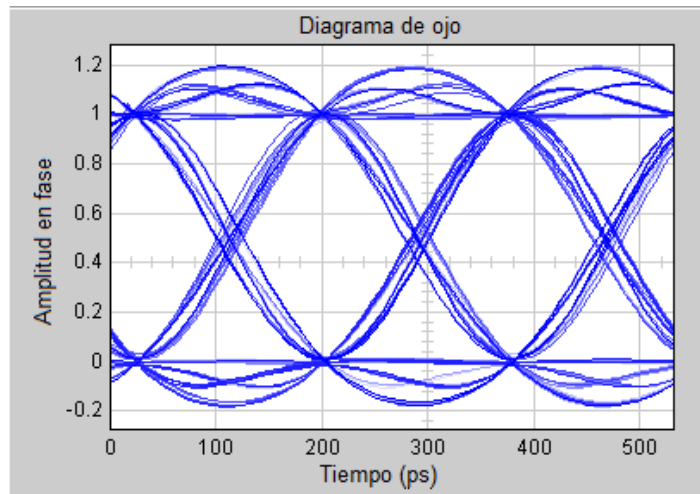
(b) Duobinario a través del canal

Figura 3. 24: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 2.

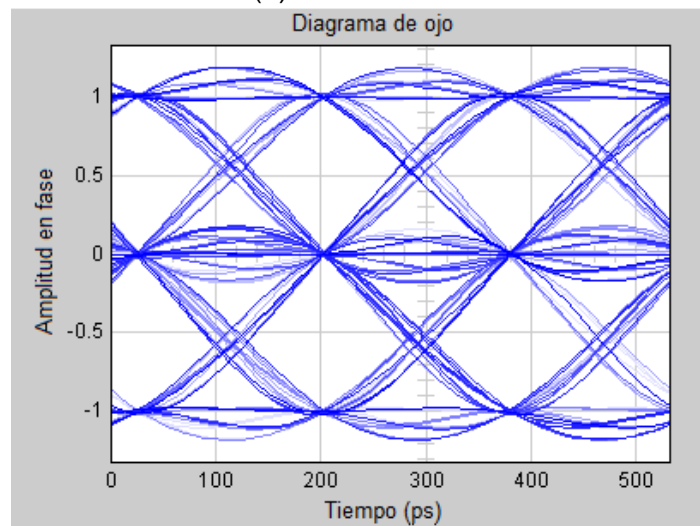
Elaborado por: Autor.

De manera análoga a los escenarios 1 y 2 con tasa de datos de 5.65 Gbps, ahora se muestran las comparativas para los mismos escenarios 1 y 2 pero con una mayor tasa de datos igual a 11.3 Gbps. Las figuras 3.26, 3.27 y 3.28 muestran las comparativas para el escenario 3 (para FCI), y finalmente

las figuras 3.29, 3.30 y 3.31 muestran los resultados comparativos para el escenario 4 (para tarjeta Megtron).



(a) NRZ recibido

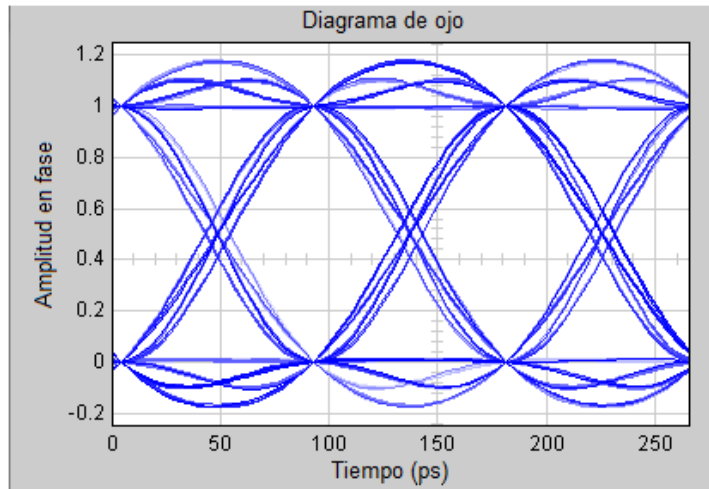


(b) Duobinario recibido

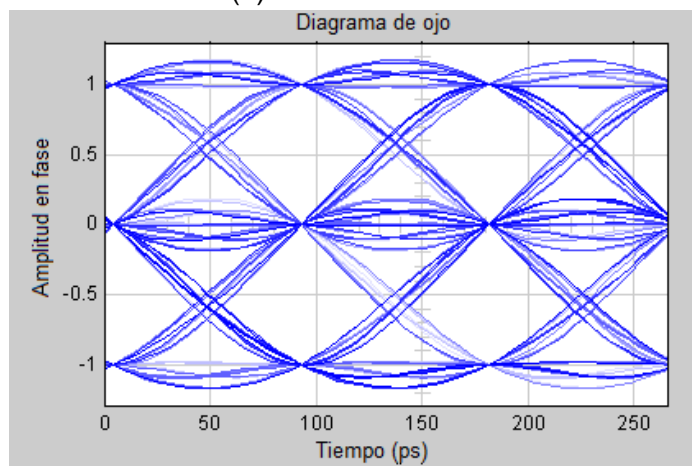
Figura 3. 25: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 2.

Elaborado por: Autor.

En la figura 3.26 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario en la etapa de transmisión para el escenario 3 con una tasa de datos de 11.3 Gbps. Después, en la figura 3.27 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario a través del canal para el escenario 3 con una tasa de datos de 11.3 Gbps. Finalmente, en la figura 3.28 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario en el receptor para el escenario 3 con una tasa de datos de 11.3 Gbps.

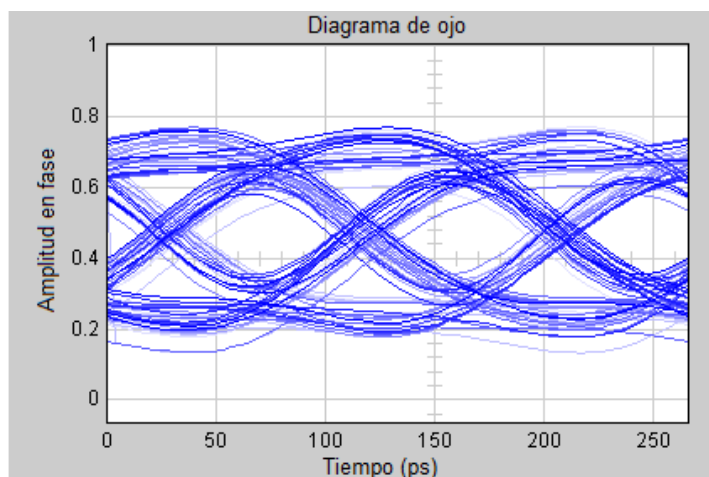


(a) NRZ transmitida

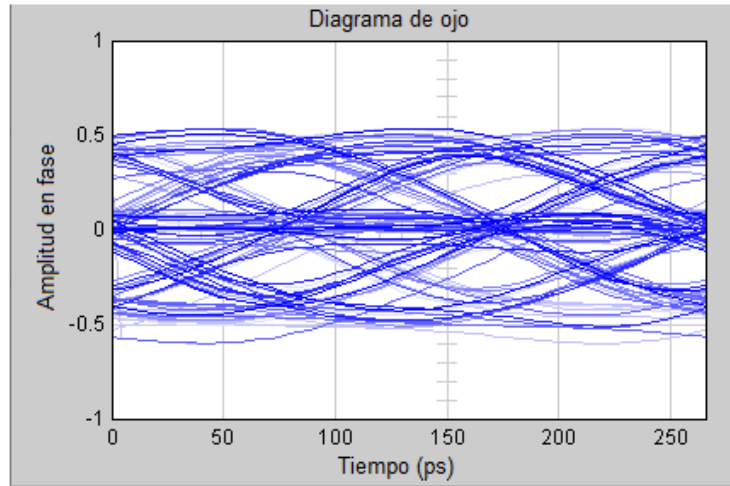


(b) Duobinario transmitido

Figura 3. 26: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 3.  
Elaborado por: Autor.



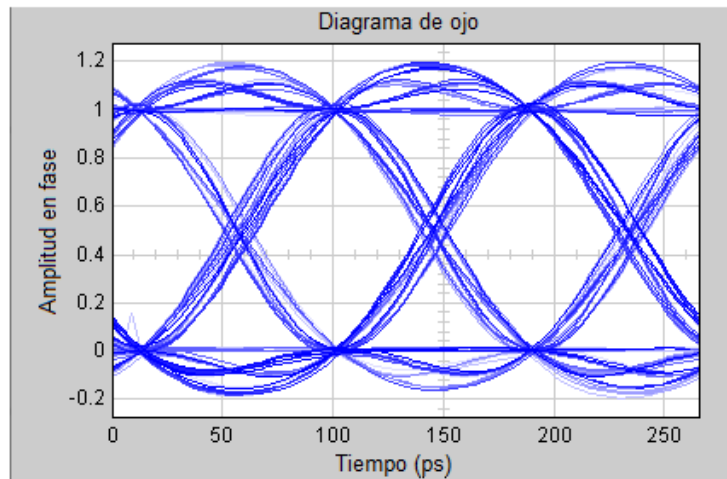
(a) NRZ a través del canal



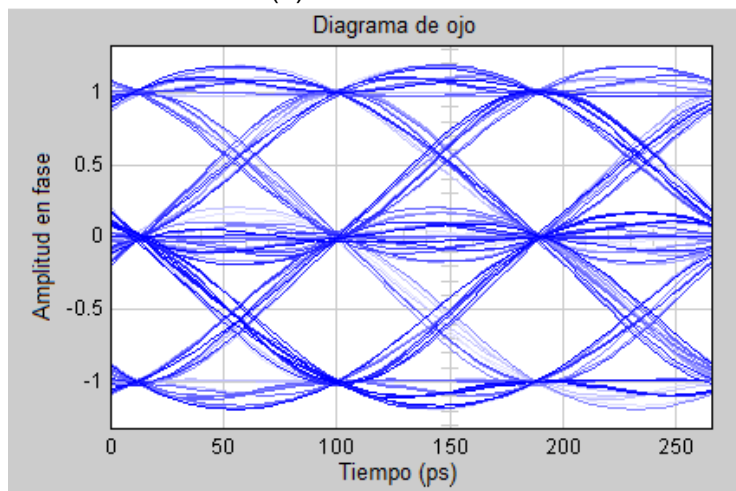
(b) Duobinario a través del canal

Figura 3. 27: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 3.

Elaborado por: Autor.



(a) NRZ recibido

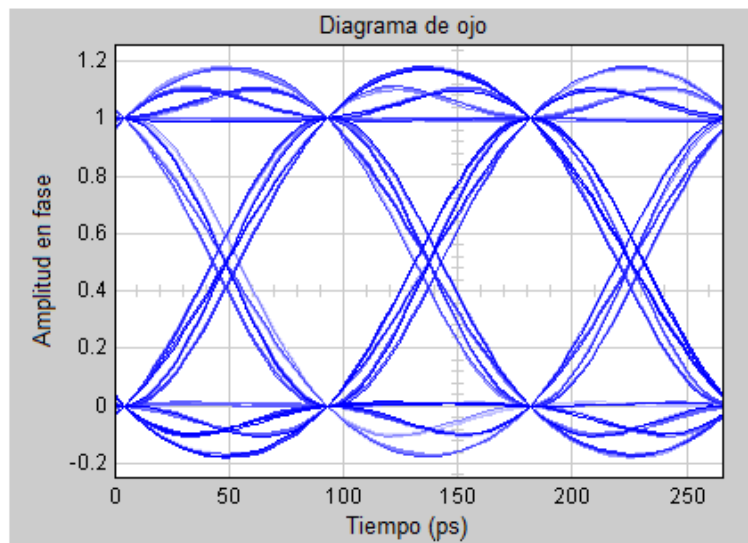


(b) Duobinario recibido

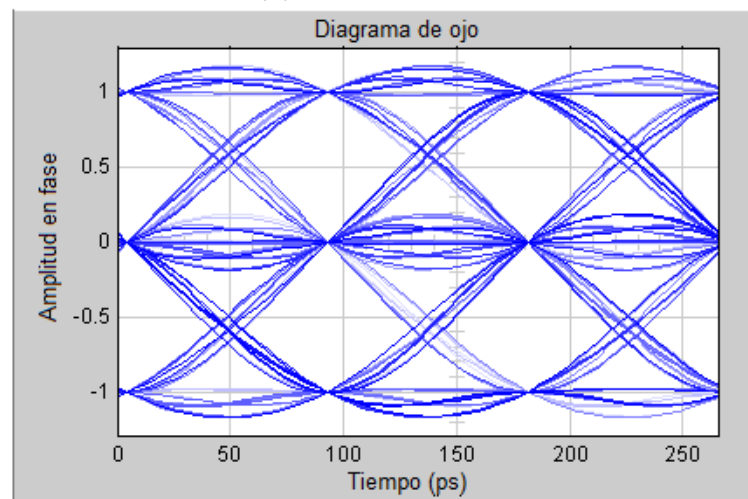
Figura 3. 28: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 3.

Elaborado por: Autor.

En la figura 3.29 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario en la etapa de transmisión para el escenario 4 con una tasa de datos de 11.3 Gbps.



(a) NRZ transmitida

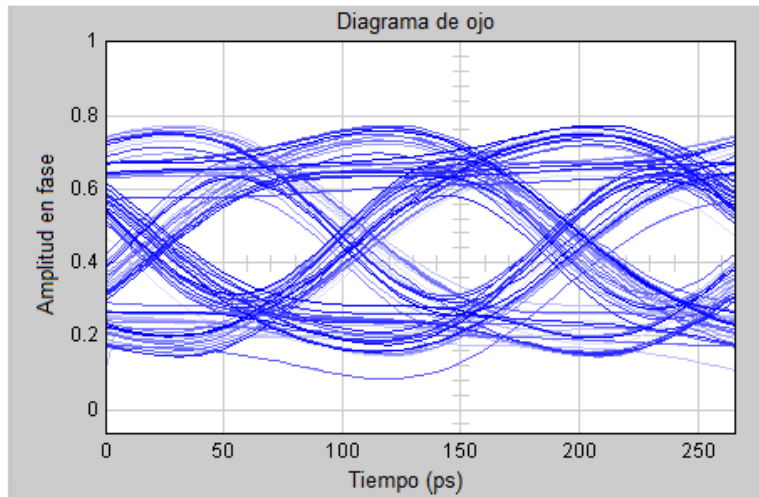


(b) Duobinario transmitido

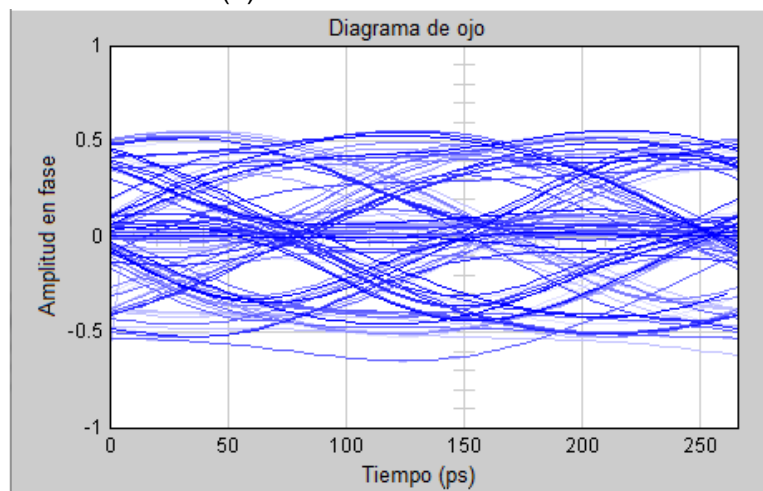
Figura 3. 29: Comparativa de diagramas de ojo de NRZ y duobinario transmitidos para escenario 4.

Elaborado por: Autor.

Después, en la figura 3.30 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario a través del canal para el escenario 4 con una tasa de datos de 11.3 Gbps. Finalmente, en la figura 3.31 se muestran las señales comparativas entre los diagramas de ojo de NRZ y duobinario en el receptor para el escenario 4 con una tasa de datos de 11.3 Gbps.



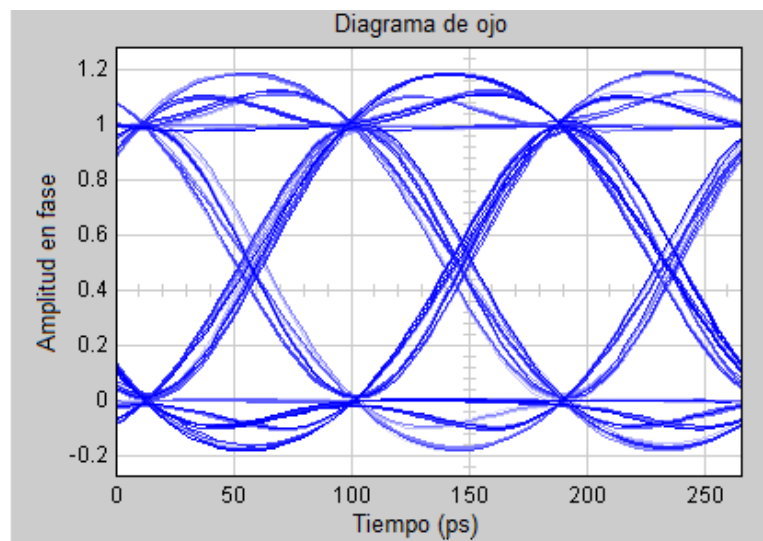
(a) NRZ a través del canal



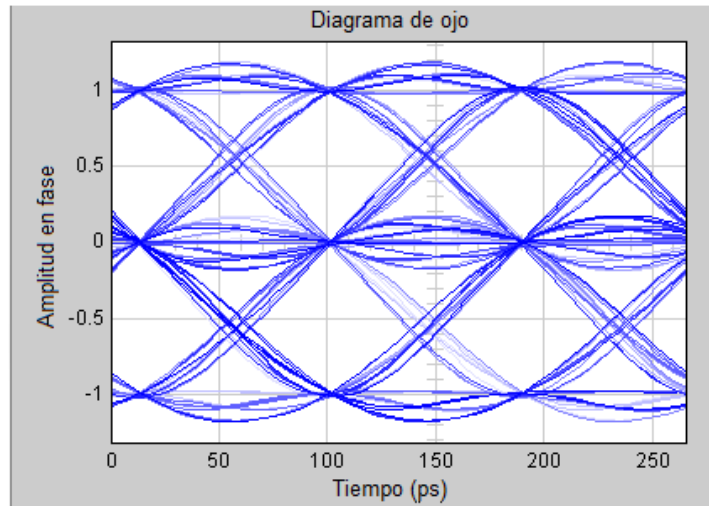
(b) Duobinario a través del canal

Figura 3. 30: Comparativa de diagramas de ojo de NRZ y duobinario a través del canal para escenario 4.

Elaborado por: Autor.



(a) NRZ recibido



(b) Duobinario recibido

Figura 3. 31: Comparativa de diagramas de ojo de NRZ y duobinario recibidos para el escenario 4.

Elaborado por: Autor.

En las tablas 3.4 y 3.5 se resumen los resultados obtenidos de las figuras 3.20 a 3.31. Una observación cuidadosa indica que, en general, la señal duobinaria tiene una mejor altura y ancho del diagrama de ojo que la codificación NRZ para canales y velocidades de datos y, como tal, es una opción más adecuada cuando se avanza a velocidades de transmisión de datos más altas. El esquema duobinario tiene una mejora del 30% sobre el esquema NRZ.

Tabla 3. 4: Resultados de la simulación de comparación para los escenarios 1 y 3.

	Megtron		FCI	
	NRZ	Duobinario	NRZ	Duobinario
Altura del ojo (V)	0.3	0.45	0.3	0.4
Ancho del ojo (ps)	130	140	130	130

Elaborado por: Autor.

Tabla 3. 5: Resultados de la simulación de comparación para los escenarios 2 y 4

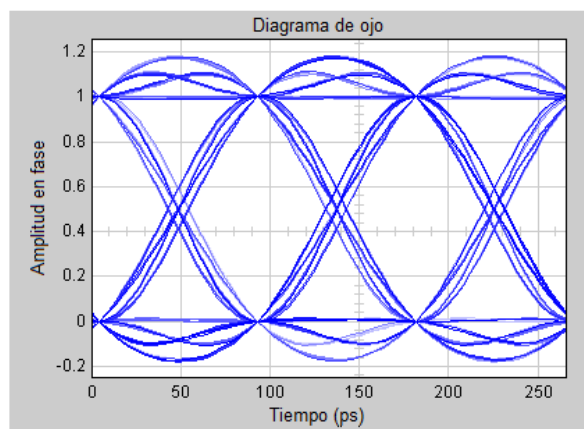
	Megtron		FCI	
	NRZ	Duobinario	NRZ	Duobinario
Altura del ojo (V)	0.3	0.3	0.25	0.4
Ancho del ojo (ps)	60	65	60	65

Elaborado por: Autor.

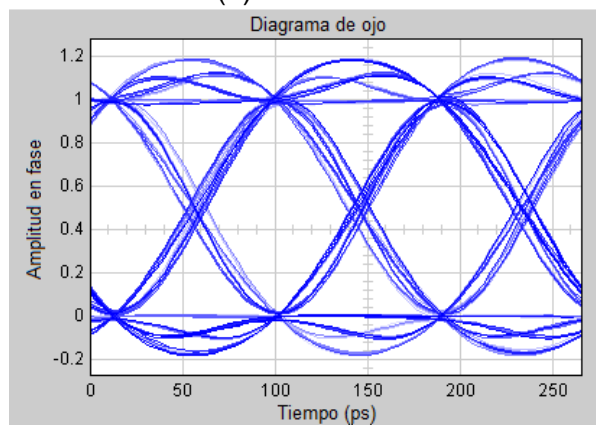


### 3.13. Comparación de los resultados obtenidos para NRZ y duobinario de extremo a extremo.

Esta sección compara los diagramas de ojo recuperados para los sistemas NRZ y duobinario. Los diagramas de ojo para ambos sistemas son idénticos, excepto por un poco de ruido en el sistema duobinario. Esto implica el correcto funcionamiento de los subsistemas de codificación y decodificación duobinario. En las figuras 3.32 y 3.33 se muestran las comparativas de los diagramas de ojo de NRZ transmitido y recuperado en las transmisiones de los esquemas NRZ y duobinario para los escenarios 5 y 6 (tasa de datos 11.3 Gbps), respectivamente.



(a) transmitido

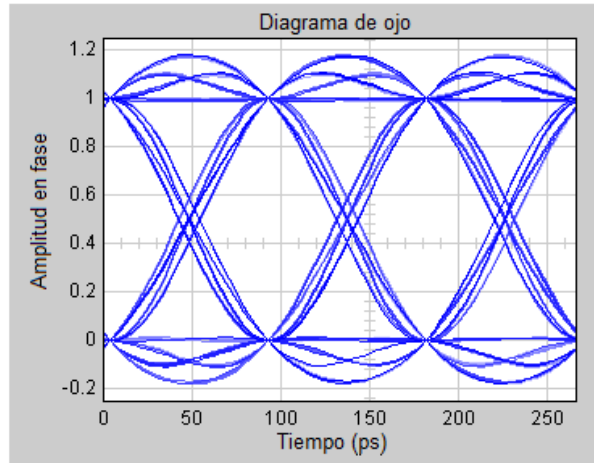


(b) recuperado

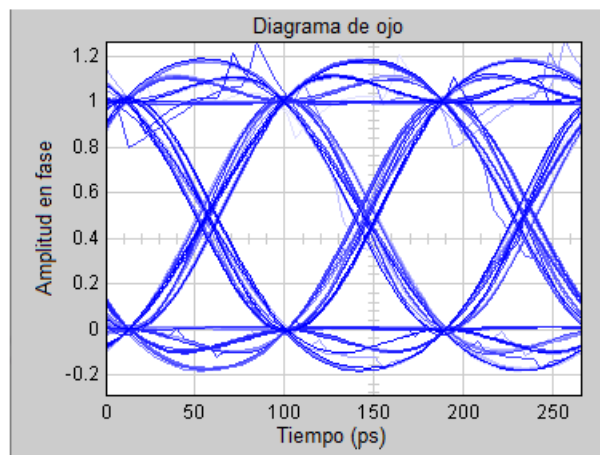
Figura 3. 32: Comparativa del diagrama de ojo para el esquema NRZ para escenario 5.

Elaborado por: Autor.

Mientras que las figuras 3.34 y 3.35 muestran las comparativas de los diagramas de ojo NRZ transmitido y recuperado en las transmisiones de los esquemas NRZ y duobinario para los escenarios 7 y 8 (tasa de datos 5.65 Gbps), respectivamente.



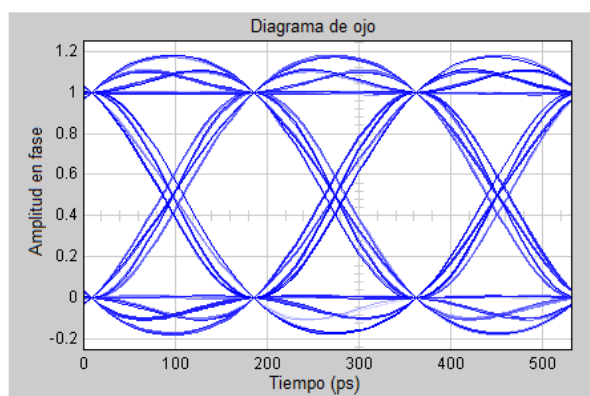
(a) transmitido



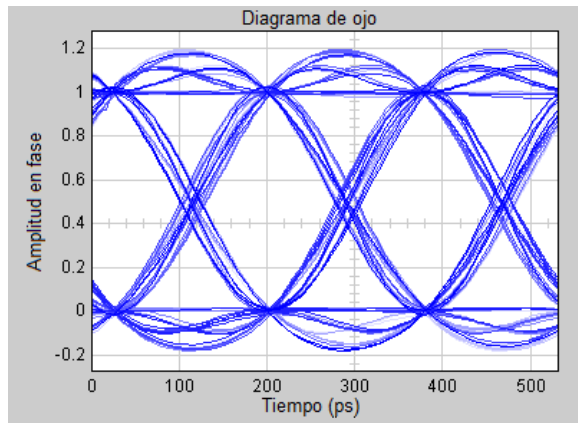
(b) recuperado

Figura 3. 33: Comparativa del diagrama de ojo para el esquema duobinario para escenario 6.

Elaborado por: Autor.



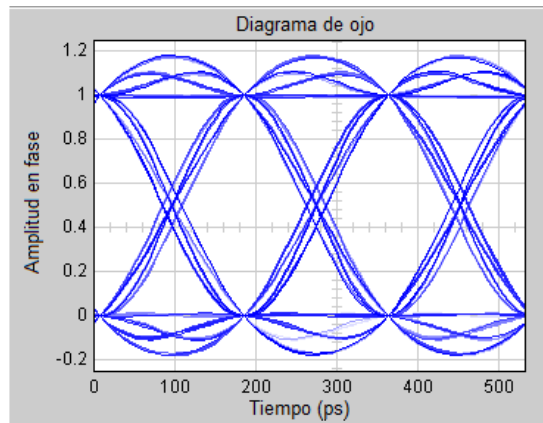
(a) transmitido



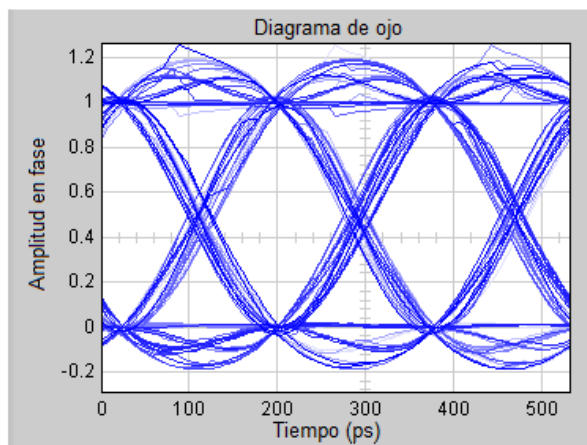
(b) recuperado

Figura 3. 34: Comparativa del diagrama de ojo para el esquema NRZ para escenario 7.

Elaborado por: Autor.



(a) transmitido



(b) recuperado

Figura 3. 35: Comparativa del diagrama de ojo para el esquema duobinario para escenario 8.

Elaborado por: Autor.

### 3.14. Resultados de la tasa de error de bits.

En esta sección, la tasa de error de bits (*Bits Error Rate, BER*) para la señalización NRZ y duobinaria de la arquitectura que se ejecuta a 5.65 Gbps para ambos canales se obtienen y comparan mediante el software Simulink. El modelo es el mismo que en las secciones anteriores, excepto por la adición del bloque "Alinear señales" que se incluye para compensar el retardo (delay) que encuentra la señal a medida que se propaga a través del canal y el bloque "cálculo de la tasa de error" que calcula la BER.

Los bloques llamados "función de redondeo" también se incluyen dentro del modelo para reducir los errores en el sistema porque Simulink solo compara los valores exactos, si están fuera de un decimal, se produce un error. En la figura 3.36 se muestra el modelo de Simulink para el cálculo BER de la codificación NRZ, mientras que en la figura 3.37 se muestra el modelo para el cálculo BER de la codificación duobinaria.

La BER para la tarjeta a una velocidad de datos de 5.65 Gbps es  $4.082 \times 10^{-6}$  cuando se utiliza la codificación y  $3.675 \times 10^{-6}$  para la codificación duobinaria. Sin embargo, la BER del plano posterior (FCI) para NRZ es  $5.351 \times 10^{-6}$  mientras que duobinario es  $4.72 \times 10^{-6}$ . El BER para FCI es peor que el de la tarjeta debido a los conectores y las tarjetas secundarias. En ambos casos, se ve que la BER para duobinario es mejor que la de la NRZ.

Las BER son relativamente altas y esto puede atribuirse a truncamientos, relleno y operaciones reales o complejas que tienen lugar durante las operaciones de FFT e IFFT realizadas dentro del bloque de funciones de MatLab. Además, se debe tener cuidado con el bloque LMS ya que la tasa de convergencia contribuye a la tasa de error al comienzo de la simulación mientras se ajustan las derivaciones del filtrado. La BER mejora a medida que avanza la simulación y, por lo tanto, se espera una mejor BER si se aumenta el tiempo de simulación. En la tabla 3.6 se muestran estos resultados de BER a una tasa de datos de 5.65 Gbps, mientras que en la tabla 3.7 se muestran los resultados de BER a una tasa de datos de 11.3 Gbps.

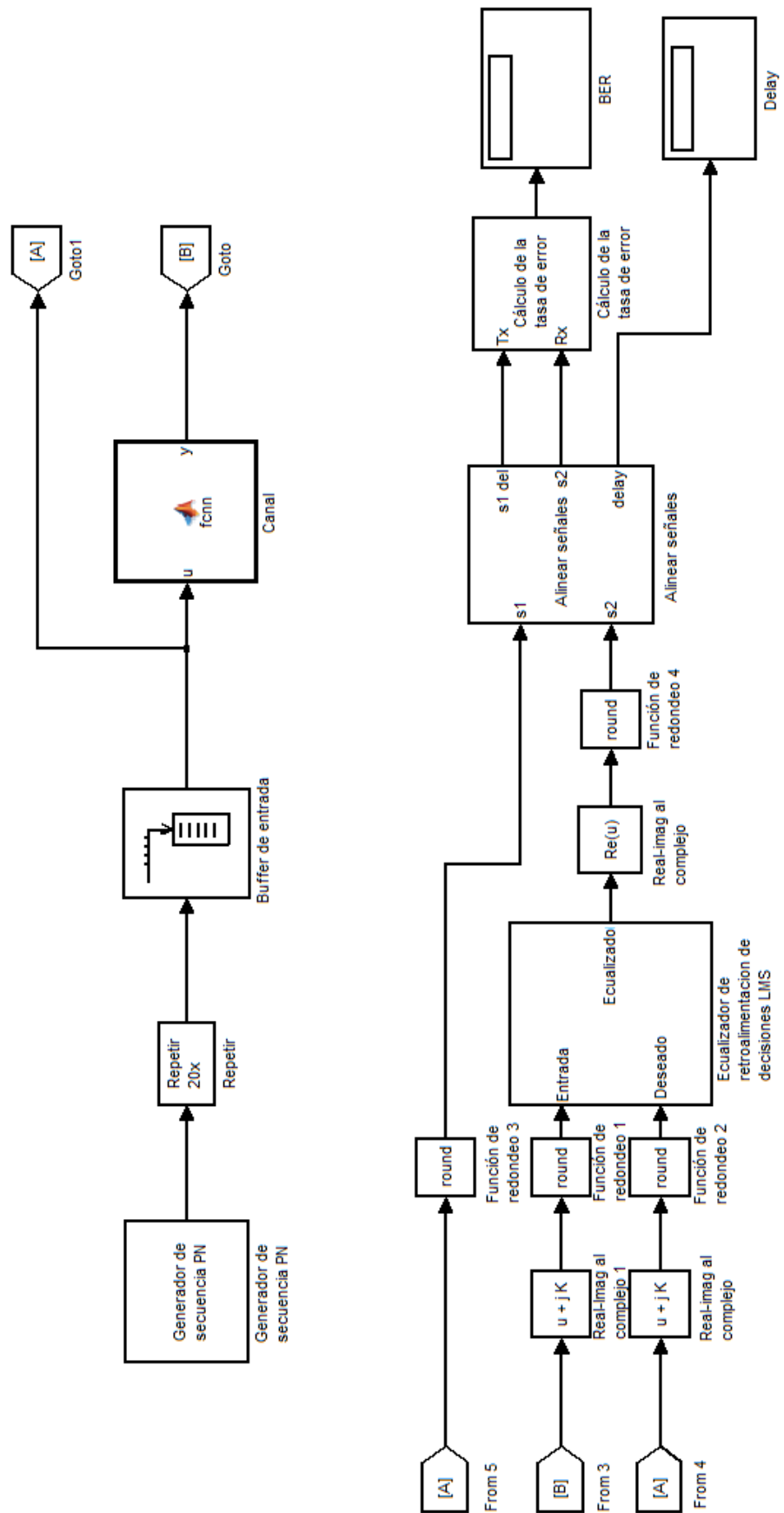


Figura 3. 36: Modelado para obtener la tasa de error de bits de NRZ.  
Elaborado por: Autor.

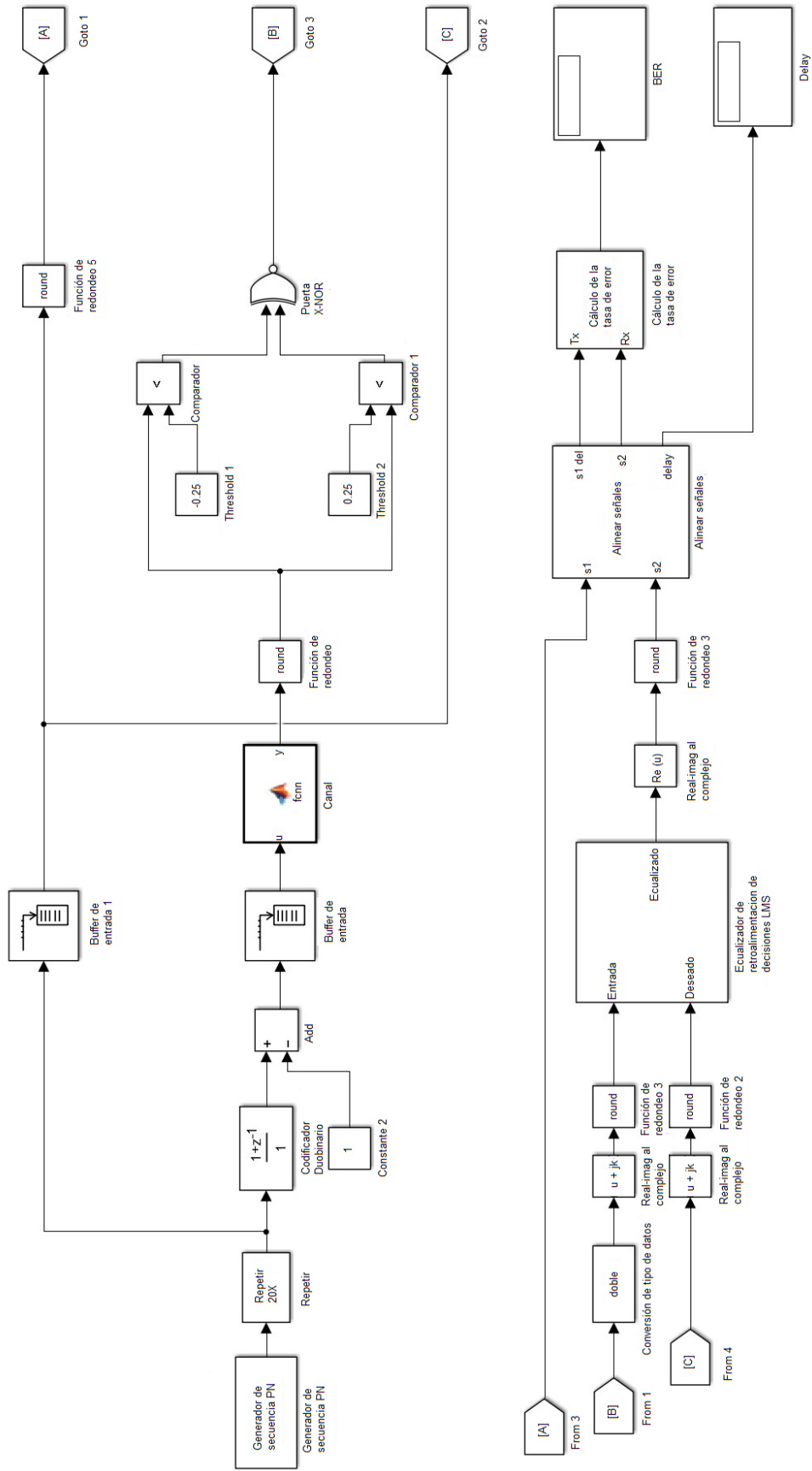


Figura 3. 37: Modelado para obtener la tasa de error de bits de Duobinario.  
Elaborado por: Autor.

Tabla 3. 6: Resultados de la tasa de error de bits a una velocidad de 5.65 Gbps.

	Megtron		FCI	
	NRZ	Duobinario	NRZ	Duobinario
BER ( $\times 10^{-6}$ )	4.082	3.675	5.351	4.72

Elaborado por: Autor.

Tabla 3. 7: Resultados de la tasa de error de bits a una velocidad de 11.3 Gbps.

	Megtron		FCI	
	NRZ	Duobinario	NRZ	Duobinario
BER ( $\times 10^{-6}$ )	4.4	3.139	6.854	3.902

Elaborado por: Autor.

## Conclusiones

- Los FPGA fueron elegidos para este trabajo de investigación porque es fácil realizar cambios de diseño y también por las características integradas del FPGA, como el ecualizador y los transceptores. A través de una función llamada reconfiguración dinámica, la ecualización de transmisión y recepción se puede realizar en los enlaces del transceptor mientras el dispositivo está en funcionamiento.
- Este trabajo demuestra la capacidad de modelar y ejecutar un sistema completo de transceptor de alta velocidad en una placa FPGA utilizando el esquema de codificación de línea NRZ y Duobinario. Los resultados de la simulación y la medición coincidieron indicando una simulación correcta. Se diseñó y simuló en Simulink dos canales diferentes a velocidades de datos de 5.65 y 11.3 Gbps. El ojo duobinario transmitido se recuperó correctamente en el receptor y la altura y el ancho de los ojos fueron mejores que los del sistema NRZ.
- También se comparó la BER para ambos sistemas y se descubrió que el sistema duobinario es mejor que el NRZ, por lo que es una buena opción para altas velocidades de datos.



## **Recomendaciones.**

A partir del presente trabajo se recomiendan dos trabajos que se pueden desarrollar para futuros proyectos:

- Implementación de escenarios de simulación de la modulación de posición de pulso duobinario (DuoPPM) utilizando MatLab/Simulink.
- Evaluación comparativa de las modulaciones de posición de pulso duobinaria (DuoPPM) y superpuesta (OPPM).

## Bibliografía.

- Aguilar Jaramillo, J. M. (2017). *Implementación de procesamiento de señales ECG mediante filtrado digital FIR utilizando el dispositivo programable FPGA*. [Trabajo de Titulación de Maestría, Universidad Católica de Santiago de Guayaquil]. <http://repositorio.ucsg.edu.ec/handle/3317/8346>
- Brown, S. D., & Vranesic, Z. G. (2005). *Fundamentals of digital logic with VHDL design* (2nd ed). McGraw-Hill Companies.
- Hernández Sampieri, R., Fernández Collado, C., & Baptista Lucio, P. (2014). *Metodología de la investigación* (6a ed). McGraw-Hill.
- Jadon, U., Nain, H., & Mishra, V. (2016). Analysis of duo-binary modulation scheme in single channel on the basis of BER. *2016 IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, 40–42. <https://doi.org/10.1109/RTEICT.2016.7807778>
- Kothari C. R. (2008). *Research methodology Methods 7 technioques*. New Age International Ltd.
- Krishna, V. S. R., & Tiwari, V. (2015). Comparison of duobinary and modified duobinary modulation schemes for optimized transmission at 40 Gbps. *2015 Twelfth International Conference on Wireless and Optical Communications Networks (WOCN)*, 1–4. <https://doi.org/10.1109/WOCN.2015.8064491>
- Li, Y., Iskander, R., & Louerat, M.-M. (2014). Modeling, design and verification platform using SystemC AMS. *Fifteenth International Symposium on Quality Electronic Design*, 39–46. <https://doi.org/10.1109/ISQED.2014.6783304>
- Maxinez, D. G. (2014). *Programación de sistemas digitales con VHDL* (1era ed.). Grupo Editorial Patria.

- Min, B., Lee, K., & Palermo, S. (2012). A 20Gb/s triple-mode (PAM-2, PAM-4, and duobinary) transmitter. *Microelectronics Journal*, 43(10), 687–696. <https://doi.org/10.1016/j.mejo.2012.05.009>
- Pérez C., P. F. (2015). *Aportaciones a la metodología de diseño basada en Síntesis de Alto Nivel. Aplicaciones al diseño de IPs para procesamiento de eventos complejos y codificación de vídeo* [Tesis Doctoral]. Universidad de las Palmas de Gran Canaria.
- Salík, P., Certík, F., & Róka, R. (2015). Duobinary Modulation Format in Optical Communication Systems. *Advances in Signal Processing*, 3(1), 1–7.
- Shi, Y., Chen, X., & Liu, Y. (2014). The generation of optical duobinary signal using electroabsorption modulator for optical access networks. *Optik*, 125(17), 4736–4738. <https://doi.org/10.1016/j.ijleo.2014.04.072>
- Vahid, F. (2011). *Digital design, with RTL design, VHDL, and Verilog* (2nd ed). Wiley.
- Van Kerrebrouck, J., De Keulenaer, T., Pierco, R., De Geest, J., Sinsky, J. H., Kozicki, B., Yin, X., Torfs, G., & Bauwelinck, J. (2019). NRZ, Duobinary, or PAM4?: Choosing Among High-Speed Electrical Interconnects. *IEEE Microwave Magazine*, 20(7), 24–35. <https://doi.org/10.1109/MMM.2019.2909517>
- Zhu, L., Xu, T., & Darwazeh, I. (2019). Fast-OFDM Transmission with Duobinary 3-PSK Modulation: Invited Paper. *2019 International Conference on Wireless Networks and Mobile Communications (WINCOM)*, 1–6. <https://doi.org/10.1109/WINCOM47513.2019.8942502>



**Presidencia  
de la República  
del Ecuador**



**Plan Nacional  
de Ciencia, Tecnología,  
Innovación y Saberes**



**SENESCYT**

Secretaría Nacional de Educación Superior,  
Ciencia, Tecnología e Innovación

## DECLARACIÓN Y AUTORIZACIÓN

Yo, **Rochina García, Michael Herson** con C.C: # 0929250991 autor del trabajo de titulación: Evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas, previo a la obtención del título de **Magister en Telecomunicaciones** en la Universidad Católica de Santiago de Guayaquil.

1.- Declaro tener pleno conocimiento de la obligación que tienen las instituciones de educación superior, de conformidad con el Artículo 144 de la Ley Orgánica de Educación Superior, de entregar a la SENESCYT en formato digital una copia del referido trabajo de titulación para que sea integrado al Sistema Nacional de Información de la Educación Superior del Ecuador para su difusión pública respetando los derechos de autor.

2.- Autorizo a la SENESCYT a tener una copia del referido trabajo de titulación, con el propósito de generar un repositorio que democratice la información, respetando las políticas de propiedad intelectual vigentes.

Guayaquil, 31 de agosto del 2020

Nombre: **Rochina García, Michael Herson**

C.C: 0929250991

<b>REPOSITORIO NACIONAL EN CIENCIA Y TECNOLOGÍA</b>		
<b>FICHA DE REGISTRO DE TESIS/TRABAJO DE TITULACIÓN</b>		
<b>TÍTULO Y SUBTÍTULO:</b>	Evaluación de escenarios de simulación de formatos de codificación binaria utilizado en comunicaciones ópticas	
<b>AUTOR(ES)</b>	Rochina García, Michael Herson	
<b>REVISOR(ES)/TUTOR(ES)</b>	M. Sc. Córdova Rivadeneira, Luis Silvio; M. Sc. Quezada Calle, Edgar Raúl / M. Sc. Palacios Meléndez, Edwin Fernando	
<b>INSTITUCIÓN:</b>	Universidad Católica de Santiago de Guayaquil	
<b>FACULTAD:</b>	Sistema de Posgrado	
<b>PROGRAMA:</b>	Maestría en Telecomunicaciones	
<b>TÍTULO OBTENIDO:</b>	Magister en Telecomunicaciones	
<b>FECHA DE PUBLICACIÓN:</b>	Guayaquil, 31 de agosto del 2020	<b>No. DE PÁGINAS:</b> 67
<b>ÁREAS TEMÁTICAS:</b>	Transmisión Óptica, Instrumentos Virtuales, Teoría de la Comunicación.	
<b>PALABRAS CLAVES/ KEYWORDS:</b>	Codificación, Decodificación, Canales, Ecuación, NRZ, VHDL.	
<p>RESUMEN/ABSTRACT: El presente trabajo realiza la evaluación de escenarios de simulación de formatos de codificación binaria (NRZ y DB) utilizado en comunicaciones ópticas. Actualmente los sistemas de comunicaciones ópticas utilizan codificaciones binarias, entre las más destacadas están no retorno a cero (NRZ), retorno a cero (RZ) y duobinario (DB). El capítulo 1 describe las generalidades del trabajo componente complejo, entre las más destacadas, la definición del problema, justificación y objetivos. El capítulo 2 describe brevemente los fundamentos teóricos de la metodología de diseño del lenguaje de descripción de hardware (VHDL) y del sistema duobinario empleado en las comunicaciones ópticas. El capítulo 3 se diseñan los escenarios de simulación de los sistemas de codificación no retorno a cero (NRZ) y duobinario, y la evaluación se basa en comparar los resultados obtenidos para los diferentes escenarios propuestos. Para la implementación fue necesario dos herramientas, MatLab/Simulink y VHDL. Finalmente, se presentan las conclusiones y recomendaciones para futuros trabajos.</p>		
<b>ADJUNTO PDF:</b>	<input checked="" type="checkbox"/> SI	<input type="checkbox"/> NO
<b>CONTACTO CON AUTOR/ES:</b>	<b>Teléfono:</b> 0967893182	<b>E-mail:</b> <a href="mailto:michaelrochina93@gmail.com">michaelrochina93@gmail.com</a>
<b>CONTACTO CON LA INSTITUCIÓN (COORDINADOR DEL PROCESO UTE):</b>	<b>Nombre:</b> Manuel Romero Paz	
	<b>Teléfono:</b> 0994606932	
	<b>E-mail:</b> <a href="mailto:manuel.romero@cu.ucsg.edu.ec">manuel.romero@cu.ucsg.edu.ec</a>	
<b>SECCIÓN PARA USO DE BIBLIOTECA</b>		
<b>Nº. DE REGISTRO (en base a datos):</b>		
<b>Nº. DE CLASIFICACIÓN:</b>		
<b>DIRECCIÓN URL (tesis en la web):</b>		