



UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL

SISTEMA DE POSGRADO

MAESTRÍA EN TELECOMUNICACIONES

TÍTULO DE LA TESIS:

DESARROLLO DE UN MODEM UTILIZANDO LA MODULACIÓN D-QPSK
SOBRE LA PLATAFORMA FPGA DE ALTERA

Previa la obtención del Grado Académico de Magíster en
Telecomunicaciones

ELABORADO POR:

Ing. José Guillermo Cobo Santiana

Guayaquil, a los 30 días del mes Octubre año 2014



UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL

SISTEMA DE POSGRADO

CERTIFICACIÓN

Certificamos que el presente trabajo fue realizado en su totalidad por el Magíster José Guillermo Cobo Santiana como requerimiento parcial para la obtención del Grado Académico de Magíster en Telecomunicaciones.

Guayaquil, a los 30 días del mes Octubre año 2014

DIRECTOR DE TESIS

MsC. Edwin Palacios Meléndez

REVISORES:

MsC. Néstor Zamora Cedeño.

MsC. Luis Córdova Rivadeneira

DIRECTOR DEL PROGRAMA

MsC. Manuel Romero Paz



UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL

SISTEMA DE POSGRADO

DECLARACIÓN DE RESPONSABILIDAD

YO, JOSÉ GUILLERMO COBO SANTIANA

DECLARÓ QUE:

La tesis “DESARROLLO DE UN MODEM UTILIZANDO LA MODULACIÓN D-QPSK SOBRE LA PLATAFORMA FPGA DE ALTERA”, previa a la obtención del grado Académico de Magíster, ha sido desarrollada en base a una investigación exhaustiva, respetando derechos intelectuales de terceros conforme las citas que constan al pie de las páginas correspondientes. Consecuentemente este trabajo es de nuestra total autoría.

En virtud de esta declaración, nos responsabilizamos del contenido, veracidad y alcance científico de la tesis del Grado Académico en mención.

Guayaquil, a los 30 días del mes Octubre año 2014

EL AUTOR

Ing. José Guillermo Cobo Santiana



UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL

SISTEMA DE POSGRADO

AUTORIZACIÓN

YO, JOSÉ GUILLERMO COBO SANTIANA

Autorizamos a la Universidad Católica de Santiago de Guayaquil, la publicación, en la biblioteca de la institución de la Tesis de Maestría titulada: “DESARROLLO DE UN MODEM UTILIZANDO LA MODULACIÓN D-QPSK SOBRE LA PLATAFORMA FPGA DE ALTERA”, cuyo contenido, ideas y criterios son de mi exclusiva responsabilidad y total autoría.

Guayaquil, a los 30 días del mes Octubre año 2014

EL AUTOR

Ing. José Guillermo Cobo Santiana

Dedicatoria

A mis padres, porque ellos siempre estuvieron a mi lado brindándome su apoyo en cada aventura que decidí emprender y sus consejos para hacerme de mí una mejor persona en el ámbito profesional.

Agradecimientos

Agradezco primeramente a Dios por llenar mi vida de dicha y bendiciones.

A las personas que han formado parte de mi vida profesional, algunas están aquí conmigo y otras en mis recuerdos y en mi corazón, sin importar en donde estén quiero darles las gracias por formar parte de mí, por todo lo que me han brindado y por todas sus bendiciones.

ÍNDICE GENERAL

ÍNDICE DE FIGURAS.....	X
ÍNDICE DE TABLAS.....	XII
Resumen	XIII
Abstract.....	XIV
Capítulo 1: Generalidades del Trabajo de Intervención.....	15
1.1. <i>Justificación</i>	15
1.2. <i>Antecedentes</i>	16
1.3. <i>Definición del problema</i>	16
1.4. <i>Objetivos</i>	16
1.5. <i>Hipótesis</i>	17
1.6. <i>Metodología de investigación</i>	17
Capítulo 2: Estado del Arte de la Modulación Digital en Fase.....	18
2.1. <i>Introducción a la Modulación Digital</i>	18
2.2. <i>Modulación BPSK</i>	19
2.2.1. La modulación de fase idéntica a la amplitud modulada.....	19
2.2.2. Una opción alterna de θt	21
2.2.3. Portadora y temporización de símbolos	22
2.2.4. Espectro de frecuencias de BPSK.....	23
2.2.5. Ancho de banda para modulación BPSK.....	24
2.2.6. Conformación de impulsos de banda base para BPSK.....	25
2.2.7. El diagrama de ojo para modulación BPSK.....	27
2.3. <i>Modulación QPSK</i>	29
2.3.1. Asignación de símbolo para QPSK.....	29
2.3.2. Modulación de una portadora en cuadratura.....	30
2.3.3. Diagrama de Constelación de BPSK.....	31

2.3.4.	Justificación de la asignación de símbolo de BPSK.	33
2.3.5.	Contención espectral.....	34
2.3.6.	Diagrama de Transición	35
2.3.7.	La señal envolvente de QPSK.....	36
2.3.8.	Transmisor para QPSK.	38
2.3.9.	Receptor para QPSK.....	39
2.4.	<i>Modulación DPSK.....</i>	41
2.5.	<i>Modulación $\pi/4$ – DQPSK.</i>	44
2.5.1.	Asignación de símbolo para $\pi/4$ –DQPSK.....	45
2.5.2.	Diagrama de Constelación de $\pi/4$ –DQPSK.....	46
2.5.3.	Diagrama de transición de $\pi/4$ –DQPSK.	47
2.5.4.	Diagrama de ojo para modulación $\pi/4$ –DQPSK.	48
2.5.5.	Transmisor para $\pi/4$ –DQPSK.....	50
2.5.6.	Receptor para $\pi/4$ –DQPSK.	50
Capítulo 3:	Implementación sobre FPGA de Modem con modulación D-QPSK.....	52
3.1.	<i>Descripción básica de modulación D-QPSK.....</i>	52
3.2.	<i>Descripción de la FPGA para la implementación.</i>	54
3.3.	<i>FPGAs de Altera utilizadas en el proyecto.</i>	55
3.4.	<i>Técnicas para el diseño sobre FPGAs.</i>	56
3.5.	<i>Diseño del Modem mediante modulación B-QPSK.</i>	57
3.5.1.	Modulador B-QPSK.....	57
3.5.2.	Codificación del algoritmo para el modulador B-QPSK.	60
3.5.3.	Demodulador B-QPSK.	64
Capítulo 4:	Resultado Experimental.....	67
4.1.	<i>Configuración de la tarjeta FPGA de Altera.....</i>	67
4.2.	<i>Medición en el dominio del tiempo de la señal de salida FPGA.</i>	67

4.3. <i>La forma de onda del demodulador</i>	70
4.4. <i>Medición del dominio de la frecuencia</i>	71
Capítulo 5: Conclusiones y Recomendaciones.....	72
5.1. <i>Conclusiones</i>	72
5.2. <i>Recomendaciones</i>	72
Referencias Bibliográficas	73

ÍNDICE DE FIGURAS

Capítulo 2:

Figura 2. 1: Modulación BPSK.....	20
Figura 2. 2: Modulación BPSK con portadora sinusoidal.	22
Figura 2. 3: Modulación BPSK con portadoras de fases diferentes.	22
Figura 2. 4: Espectro de frecuencias de la modulación BPSK.....	24
Figura 2. 5: Conformación de banda base para modulación BPSK.	26
Figura 2. 6: Comparación entre el espectro de los impulsos rectangulares y del impulso filtrado de coseno elevado.	27
Figura 2. 7: Diagrama de ojo para BPSK.....	28
Figura 2. 8: Modulación QPSK mediante dos portadoras sinusoidales.	31
Figura 2. 9: Diagrama de constelación para QPSK.	32
Figura 2. 10: Diagrama de transición para QPSK.....	35
Figura 2. 11: Señal envolvente de QPSK.	37
Figura 2. 12: Diagrama de bloques del transmisor QPSK.	38
Figura 2. 13: Diagrama de bloques del receptor QPSK.....	40
Figura 2. 14: Constelación de modulación $\pi/4$ –DQPSK.....	47
Figura 2. 15: Diagrama de transición de modulación $\pi/4$ –DQPSK.....	48
Figura 2. 16: Diagrama de ojo para modulación $\pi/4$ –DQPSK.....	49
Figura 2. 17: Diagrama de bloque del transmisor para $\pi/4$ –DQPSK.....	50
Figura 2. 18: Diagrama de bloque del receptor para $\pi/4$ –DQPSK.	51

Capítulo 3:

Figura 3. 1: Diagrama de la síntesis del diseño de flujo para FPGAs.....	52
Figura 3. 2: Diagrama de la síntesis del diseño de flujo para FPGAs.....	53
Figura 3. 3: Diagrama de la síntesis del diseño de flujo para FPGAs.....	54

Figura 3. 4: Tarjeta Stratix II GX de Altera.....	56
Figura 3. 5: Tarjeta Stratix IV GX de Altera.....	56
Figura 3. 6: Tarjeta Stratix IV GX de Altera.....	58
Figura 3. 7: Diagrama de bloques de modulador D-QPSK.....	59
Figura 3. 8: Diagrama de bloques de modulador D-QPSK sobre FPGA.....	60
Figura 3. 9: Codificación D-QPSK para velocidades a 5 Gbps.....	61
Figura 3. 10: Modificación de la codificación D-QPSK a 5 Gbps.....	62
Figura 3. 11: Capas de prefijos paralelos para 10 símbolos.....	63
Figura 3. 12: Diagrama de bloques de la arquitectura del demodulador D-QPSK.....	64
Figura 3. 13: Diagrama de bloques del demodulador D-QPSK mejorado....	65
Figura 3. 14: Diagrama de bloques de la estructura de MUX 2:1 sobre FPGA.....	66

Capítulo 4:

Figura 4. 1: Configuración del demodulador BPSK en presencia de AWGN.....	67
Figura 4. 2: Diagrama de ojo con margen de fase.....	68
Figura 4. 3: Diagrama de ojo con margen de fase.....	68
Figura 4. 4: Diagrama de ojo con margen de fase.....	69
Figura 4. 5: Diagrama de ojo con margen de fase.....	70
Figura 4. 6: Diagrama de ojo con margen de fase.....	71
Figura 4. 7: Curvas BER y Eb/No de BPSK teórico e implementado.....	71

ÍNDICE DE TABLAS

Capítulo 2: Estado del Arte del Procesamiento de Señales ECG

Tabla 2. 1: Recursos principales disponibles en dispositivos FPGA..... 29

Tabla 2. 2: Símbolos de mapeo diferencial QPSK..... 43

Capítulo 3: Adquisición, almacenamiento, y transmisión del ECG

Tabla 3. 1: Reglas para programación de la codificación D-QPSK..... 53

Tabla 3. 2: Listado de dispositivos FPGA con transceptores integrados. 55

Resumen

La idea principal del trabajo es desarrollar un modem mediante la técnica de modulación D-QPSK sobre la plataforma de entrenamiento FPGA Stratix IV de Altera. Pero para lograr el propósito deseado se tuvieron que realizar ciertas descripciones, como el estado del arte de las técnicas de modulaciones digitales en fase, después se analizaron ciertos trabajos similares lo que permitió lograr el diseño del modem utilizando la modulación D-QPSK. Posteriormente se realizó la evaluación del diseño planteado, mediante varias pruebas de transmisión se pudo obtener excelentes resultados al momento de transmitir información.

Abstract

The main idea of this work is to develop a modem through D-modulation technique QPSK training platform on FPGA Altera Stratix IV. But to achieve the desired purpose had to make certain descriptions, as the art of digital modulation techniques in phase, after similar work certain This allowed for the design of modem using D-QPSK modulation analyzed. Later evaluation of proposed design was conducted using several transmission tests could be obtained excellent results when transmitting information.

Capítulo 1: Generalidades del Trabajo de Intervención.

1.1. Justificación.

En el siglo pasado, las telecomunicaciones se han ganado un lugar imprescindible en casi todos los ámbitos de la vida pública. Sobre todo, el campo de las comunicaciones digitales, lo que constituye un gran salto contra la comunicación analógica y se encuentra en constante ascenso desde la publicación de la obra de Shannon hace más de 50 años.

Los científicos e ingenieros que estudian en esta área todavía están tratando de mejorar la calidad de las telecomunicaciones, que a veces se ve mermada por la existencia de problemas de los medios de comunicación natural, es decir, el ruido y el desvanecimiento. Además, los problemas derivados de intenciones humanas son también evidentes por sí mismo, es decir, los tipos de interferencias.

La mayoría de equipos de telecomunicaciones, tales como los módems utilizan sistemas de modulación digital cuyos costos son muy altos para ser implementados y empleados para fines académicos e investigativos. Por eso la importancia de desarrollar este proyecto, debido a que el diseño de la modulación se lo realiza a partir de una tarjeta FPGA de Altera.

Los sistemas de modulación PSK tienen diferentes modelos o técnicas para ser implementadas, que dependen de las aplicaciones en los sistemas de comunicaciones, tales como, varios desplazamiento de fase específica (PSK) cuyos esquemas de modulación, son: BPSK, QPSK, OQPSK, $\pi/4$ -QPSK, serán tratados en el presente trabajo los formatos de modulación primarios.

1.2. Antecedentes.

En base a revisiones bibliográficas de trabajos publicados en revistas y congresos internacionales, sirvió como antecedente para el desarrollo y funcionamiento del presente trabajo de investigación. La corporación Inphi desarrolló el trabajo investigativo sobre Modulación QPSK y DQPSK para transmisiones a 40 Gbps, en la cual se discute la teoría detrás de modulación por desplazamiento de fase diferencial (DPSK) y desplazamiento de fase diferencial en cuadratura (DQPSK) tecleando formatos de modulación y explica en detalle cómo implementar un sistema experimental DQPSK, utilizando el controlador (driver) diferencial 2514DZ Mach-Zender (MZ) de Inphi.

El trabajo actual está orientado en base a la asignatura Teoría de la Comunicación y mediante el uso de una tarjeta de FPGA, las mismas que no han sido combinadas en propuestas de trabajos de posgrado de la Maestría en Telecomunicaciones de la Universidad Católica de Santiago de Guayaquil (UCSG), excepto por un maestrante de la II promoción, propuso un sistema de modulación PSK sobre FPGA. Como se explicó en los justificativos de la tesis propuesta, se revisaron ciertos papers (publicaciones) en revistas arbitradas.

1.3. Definición del problema

Necesidad de modelar dispositivos de telecomunicaciones, como los módems, mediante la modulación D-QPSK y posteriormente ser implementada sobre una tarjeta FPGA de Altera.

1.4. Objetivos

1.4.1. Objetivo General:

Diseñar sobre una FPGA de Altera un modem para transmisiones de datos mediante modulación digital D-QPSK.

1.4.2. Objetivos específicos:

- ✓ Describir el estado del arte de la modulación digital en fase.
- ✓ Realizar el diseño del modem sobre la tarjeta FPGA de Altera que permita transmisiones de datos de hasta 5 Gbps.
- ✓ Evaluar el sistema diseñado mediante la plataforma Quartus II de Altera.
- ✓ Promover el uso de la placa de entrenamiento FPGA de Altera para nuevo trabajos de investigación en posgrado.

1.5. Hipótesis

Mediante el diseño del modem con modulación D-QPSK, se demostrará que este sistema permite transmisiones de datos de hasta 5 Gbps y a través de ciertas mediciones en el dominio del tiempo y de la frecuencia se verificará que cumplen con parámetros de calidad de servicio.

1.6. Metodología de investigación.

El presente proyecto de investigación previo al grado académico de Magister en Telecomunicaciones, es del tipo **Explicativo y Exploratorio**, porque trata de explicar el funcionamiento de los módems mediante modulación digital de fase conocida como PSK y porque explora todo lo relacionado con tarjetas FPGA.

El tipo de paradigma, es empírico – analítico cuyo enfoque investigativo es el cuantitativo. Finalmente, el tipo de diseño es experimental, ya que podrá manipular variables en las etapas de modulación y demodulación digital en fase PSK.

Capítulo 2: Estado del Arte de la Modulación Digital en Fase.

2.1. Introducción a la Modulación Digital.

El concepto fundamental de la comunicación digital es mover la información digital de un punto a otro a través de un canal analógico. Más específicamente, la comunicación digital de banda de paso implica la modulación de la amplitud, fase o frecuencia de una señal portadora analógica con una señal de banda base portadora de información. Por definición, la frecuencia es la derivada de la fase con respecto al tiempo, por lo tanto, podemos generalizar la modulación de fase para incluir la modulación de frecuencia.

Normalmente, la frecuencia portadora es mucho mayor que la velocidad de símbolos de la modulación, aunque esto no es siempre así. En muchos sistemas de comunicaciones digitales, la portadora analógica es una frecuencia de radio (RF), a cientos o miles de MHz, con velocidades de símbolos de información de muchos megabaudios. En otros sistemas, la portadora puede ser una frecuencia de audio, con tasas de símbolos de unos pocos cientos a unos pocos miles de baudios.

Dada una frecuencia de portadora sinusoidal (f_c), se puede expresar como una señal de banda de paso modulada digitalmente, como $S(t)$:

$$S(t) = A(t) \cos[2\pi f_c t + \theta(t)] \quad (1)$$

Donde $A(t)$ es una modulación de amplitud variable en el tiempo y $\theta(t)$ es una modulación de fase variable en el tiempo. Para la modulación de fase digital, sólo se modula la fase de la portadora $\theta(t)$, dejando la amplitud $A(t)$ constante.

2.2. Modulación BPSK.

Iniciaremos análisis de la modulación digital de fase con una revisión de los fundamentos de la modulación por desplazamiento de fase binaria (BPSK), la forma más simple de modulación de fase digital. Para BPSK, cada símbolo se compone de un solo bit. En consecuencia, debemos elegir dos valores distintos de $\theta(t)$, uno para representar un "0" y otra para representar un "1". Puesto que hay 2π radianes por cada ciclo de la portadora, y puesto que nuestros símbolos sólo pueden tomar dos valores distintos, podemos elegir $\theta(t)$ como sigue: dejar a $\theta_1(t)$, el valor de $\theta(t)$ que representa un "1" sea igual a 0, y dejar que $\theta_0(t)$, el valor de $\theta(t)$ que representa un "0", sea igual a π . Si esto se cumple, se obtiene:

$$s_0(t) = \sqrt{E_s} \cos(2\pi f_c t + \pi) \quad (2)$$

$$s_1(t) = \sqrt{E_s} \cos(2\pi f_c t + 0)$$

Donde $\sqrt{E_s}$ es la amplitud pico de la portadora sinusoidal modulada, $S_0(t)$ es la señal BPSK que representa un "0", y $S_1(t)$ es la señal BPSK que representa un uno.

2.2.1. La modulación de fase idéntica a la amplitud modulada.

Las expresiones para $s(t)$ dada en la ecuación (2) se muestran claramente como una forma de modulación de fase BPSK. Sin embargo, ya que: $\cos(\theta + \pi) = -\cos \theta$, podemos reescribir $S_0(t)$ y $S_1(t)$ como:

$$s_0(t) = -\sqrt{E_s} \cos(2\pi f_c t)$$

$$s_1(t) = \sqrt{E_s} \cos(2\pi f_c t)$$

Estas expresiones para $s(t)$ muestran a BPSK como una forma de onda igual a la de la modulación de amplitud (AM), donde $A_0(t) = -1$ y $A_1(t) = +1$. Lo que se plantaría la siguiente pregunta ¿es una modulación de fase BPSK o una modulación de amplitud? Ambas posibilidades son correctas, ya que los dos son equivalentes, esto se puede demostrar mediante el uso de identidades trigonométricas que permiten la conversión entre las dos formas.

El proceso de modulación es probablemente más fácil de entender cuando se ve desde la perspectiva de modulación de amplitud. Para el ejemplo anterior, la señal portadora es $\sqrt{E_s} \cos(2\pi f_c t)$ y la modulación de amplitud es una onda cuadrada cuya amplitud es ± 1 y un período T que es lo que dura un símbolo, tal como se muestra en la figura 2.1.

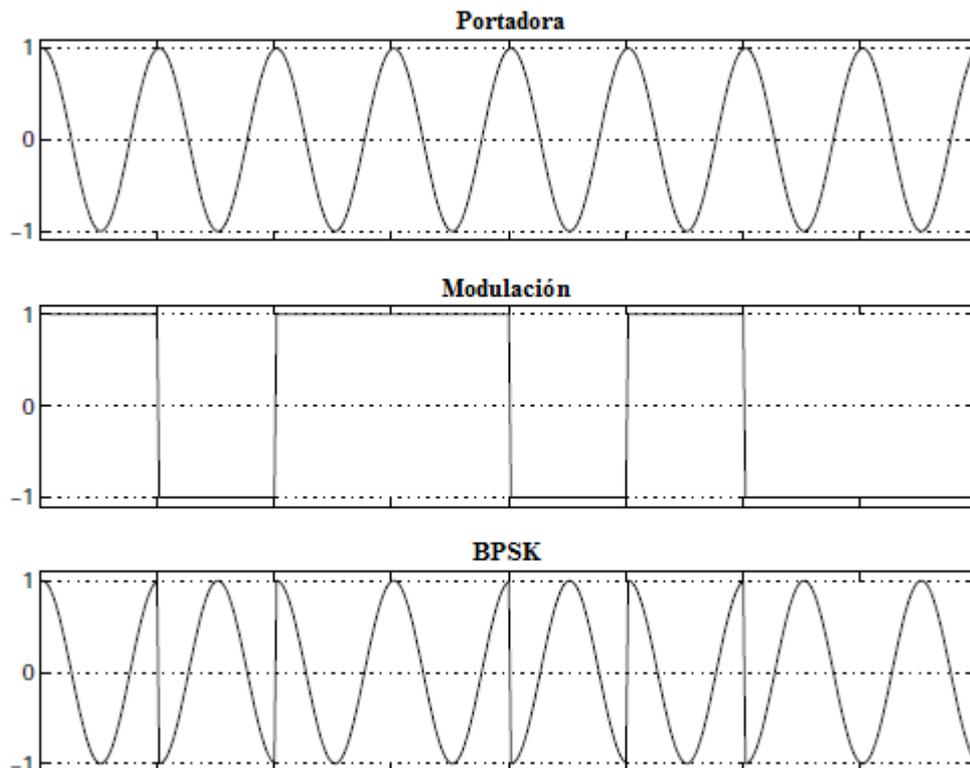


Figura 2. 1: Modulación BPSK
Fuente: Bateman, A. (2007)

2.2.2. Una opción alterna de $\theta(t)$.

Para el ejemplo de la sección anterior, se eligió que $\theta_0(t) = \pi$ y $\theta_1(t) = 0$. También podríamos elegir que $\theta_0(t) = +\frac{\pi}{2}$ y $\theta_1(t) = -\frac{\pi}{2}$.

Esto da como resultado:

$$s_0(t) = \sqrt{E_s} \cos\left(2\pi f_c t + \frac{\pi}{2}\right) \quad (3)$$

$$s_1(t) = \sqrt{E_s} \cos\left(2\pi f_c t - \frac{\pi}{2}\right)$$

Mediante el uso de identidades trigonométricas $\sin \theta = \cos\left(\frac{\pi}{2} - \theta\right)$, $\cos(-\theta) = \cos \theta$ y $\sin(-\theta) = -\sin \theta$, se reescribe la ecuación (3) como:

$$s_0(t) = -\sqrt{E_s} \sin(2\pi f_c t)$$

$$s_1(t) = \sqrt{E_s} \sin(2\pi f_c t)$$

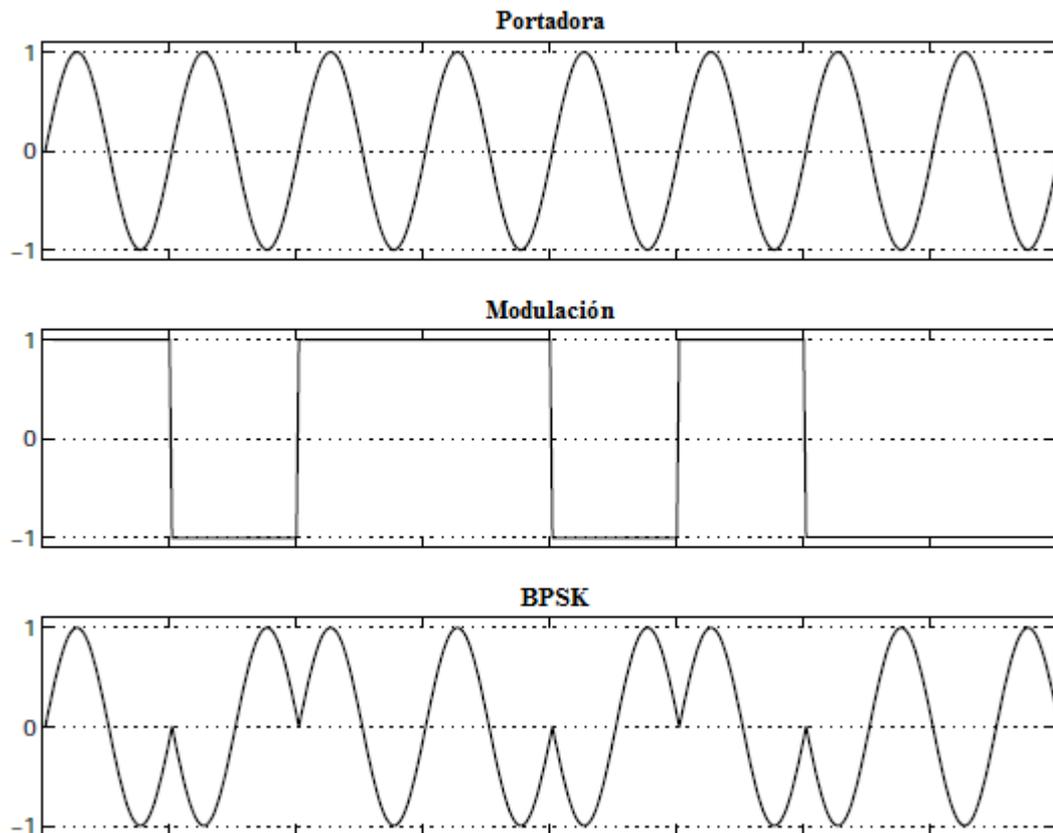


Figura 2. 2: Modulación BPSK con portadora sinusoidal.

Fuente: Bateman, A. (2007)

2.2.3. Portadora y temporización de símbolos

En las expresiones dadas hasta el momento, la duración de cada símbolo, T , es exactamente un ciclo de portadora; o, para decirlo de otra manera, hay dos medios ciclos de portadora por cada símbolo. Además, las transiciones de símbolos se producen cuando la fase de la portadora no modulada es 0. Ninguno de estos criterios es estrictamente necesario.

Por ejemplo, podemos elegir un tipo de símbolo que es inconmensurable con la frecuencia de portadora, en cuyo caso, las transiciones de símbolos ocurrirán en muchas portadoras de fases diferentes, y la duración de símbolo puede ser una cierta relación irracional de ciclos de portadora, tal como se muestra en la 2.3.

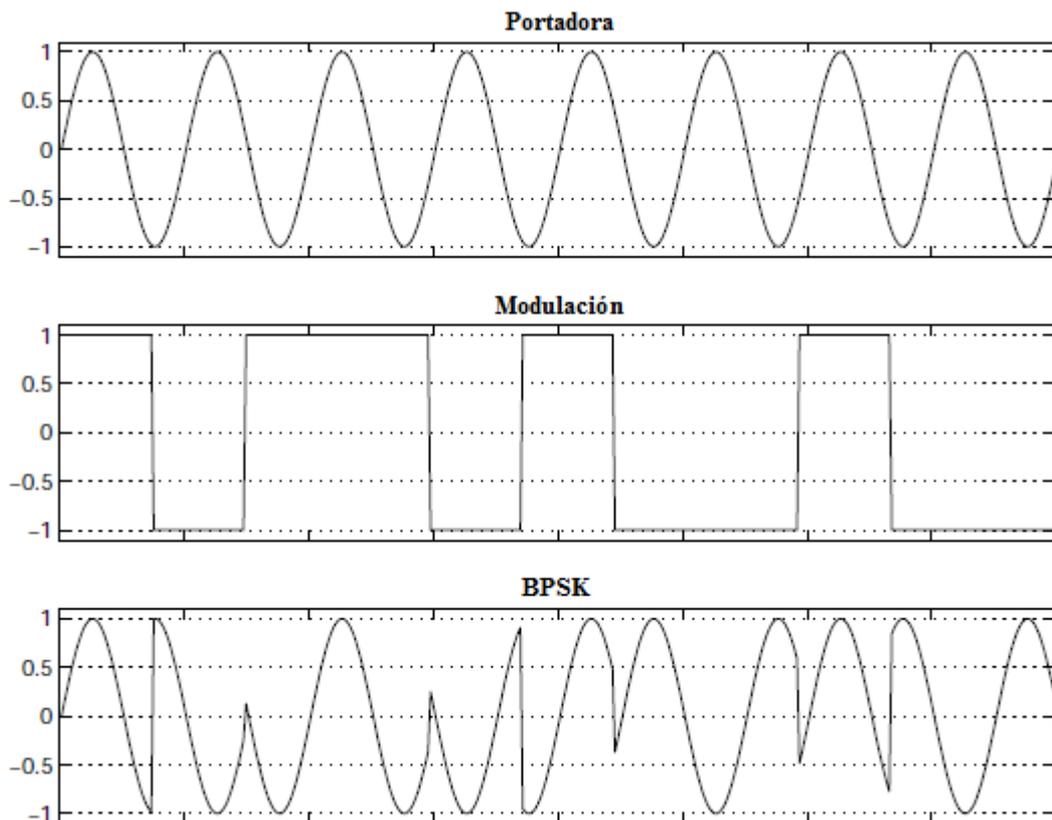


Figura 2. 3: Modulación BPSK con portadoras de fases diferentes.

Fuente: Bateman, A. (2007)

2.2.4. Espectro de frecuencias de BPSK.

Para entender el espectro de frecuencias de la modulación BPSK, usaremos la siguiente propiedad de la transformada de Fourier, que consiste en multiplicar dos señales en el dominio del tiempo y que equivale a la convolución de estas dos señales en el dominio de la frecuencia. Por lo tanto, el espectro de frecuencias de BPSK debe ser la convolución del espectro de portadora y el espectro de símbolo.

Debido a que la portadora es una senoide pura, el espectro de la portadora es un impulso situado en la frecuencia de portadora. La convolución de cualquier espectro con un impulso de frecuencia de este espectro se centra alrededor de la frecuencia del impulso. Por lo tanto, el espectro de la modulación de BPSK es el espectro de los símbolos de banda base, centrada alrededor de la frecuencia portadora.

El espectro de los símbolos de banda base es bastante complicada. Los símbolos son pulsos rectangulares, y sería una onda cuadrada perfecta si la secuencia de datos es una cadena infinitamente larga de ceros y unos alterna. El espectro de una onda cuadrada es una serie infinita de impulsos ponderados en todos los armónicos impares de la frecuencia fundamental. Sin embargo, la forma de onda de símbolo no es una onda cuadrada, debido a la naturaleza aleatoria de la secuencia de datos.

En cambio, esta forma de onda contiene pulsos rectangulares que tienen anchuras, que son múltiplos enteros de un símbolo, T . Esto crea un espectro que contiene no sólo la frecuencia fundamental del símbolo y sus armónicos impares, sino también todo número entero de las sub-armónicas de la fundamental, junto con sus armónicos impares. En la figura 2.4 se muestra el espectro de banda base de símbolos, así como el espectro de BPSK creado a partir de estos símbolos. Para el ejemplo mostrado aquí, la

frecuencia de portadora es 1500 Hz, la frecuencia de símbolos es 600 Hz y la frecuencia de muestreo es 8 KHz.

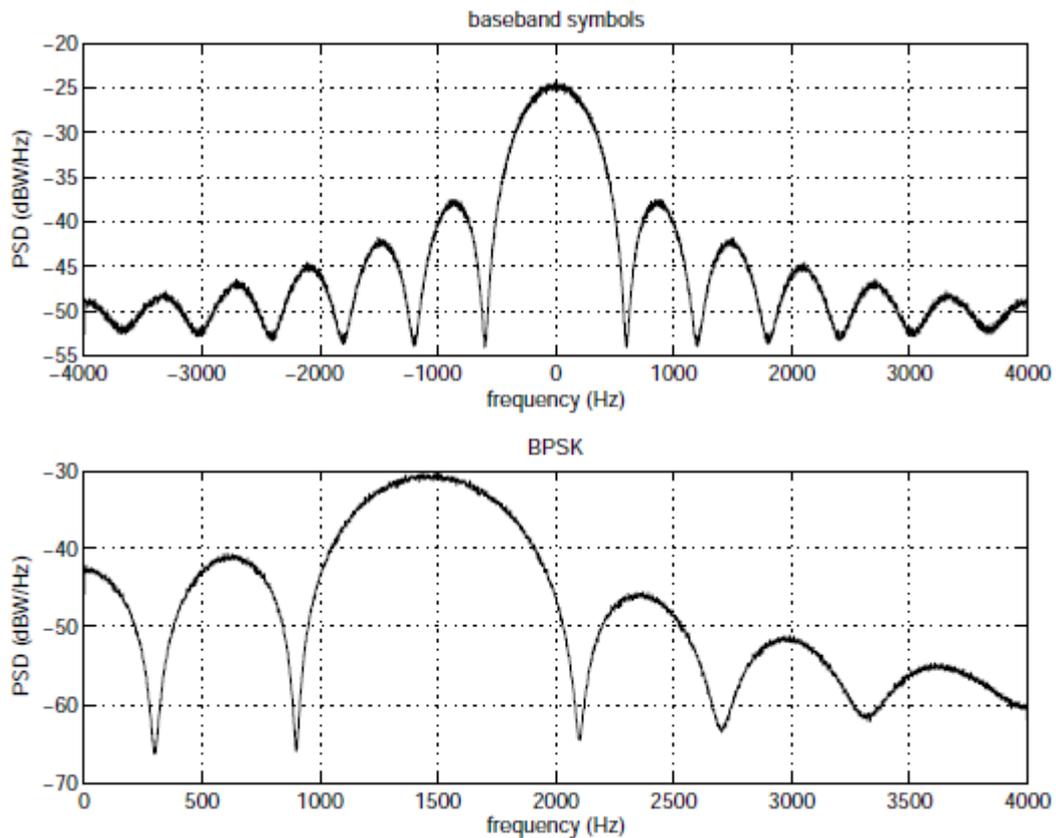


Figura 2. 4: Espectro de frecuencias de la modulación BPSK.

Fuente: Rice, M. (2009)

2.2.5. Ancho de banda para modulación BPSK.

En las ecuaciones tratadas en las secciones anteriores, la modulación de la portadora de información (es decir, los bits de impulsos rectangulares) no ha sido filtrada. Aunque la potencia espectral en los lóbulos laterales decae al aumentar la frecuencia, estos lóbulos laterales continúan a frecuencia infinita. Por lo tanto, sin filtrar la señal modulada BPSK tiene un ancho de banda teóricamente infinito.

Con el fin de limitar el ancho de banda, la señal de información de banda de base debe ser filtrada. Esto también se llama "formación de

impulsos', ya que estamos filtrando los datos para darle una forma que tiene propiedades espectrales más deseables que un pulso rectangular. Esperamos un pulso rectangular para tener un muy amplio espectro de frecuencia, debido a las transiciones bruscas en los bordes de pulso.

Si suavizamos los bordes de pulsos de banda base, debemos ser capaces de reducir el ancho de banda del pulso. Al seleccionar una forma de pulso hay que tener cuidado para evitar la interferencia entre símbolos (ISI). Podemos evitar que una forma de pulso tenga amplitud "0" en múltiplos enteros de la velocidad de símbolos. Tal pulso se denomina pulso de 'Nyquist'. Por desgracia, un verdadero pulso de Nyquist es de duración infinita, por lo que debe utilizar un pulso de Nyquist truncado. El pulso truncado más popular Nyquist es el pulso coseno-elevado.

2.2.6. Conformación de impulsos de banda base para BPSK.

En las secciones anteriores, se han representado los símbolos de banda base con impulsos rectangulares que tenían amplitudes de ± 1 y anchuras de T . También podemos pensar en los símbolos de banda base como impulsos ponderados al que aplicamos una forma de pulso. El gráfico superior de la figura 2.5 muestra una secuencia de información de banda de base que consiste en impulsos ponderados. La segunda gráfica de la figura 2.5 se muestra esta misma señal después de aplicar una forma de pulso rectangular a los impulsos. En la misma figura 2.5 se muestra la gráfica inferior de la señal si filtrar los impulsos con un filtro de conformación de impulsos de coseno alzado.

La diferencia entre las formas de pulso rectangular y de coseno alzado es muy fácil de ver en estas señales de dominio de tiempo. Menos evidente, pero lo más importante, son las diferencias entre el espectro de frecuencia de estas señales. Las transiciones más suaves de los resultados de pulsos

coseno-elevado en una señal que utiliza menos ancho de banda que las del impulso rectangular.

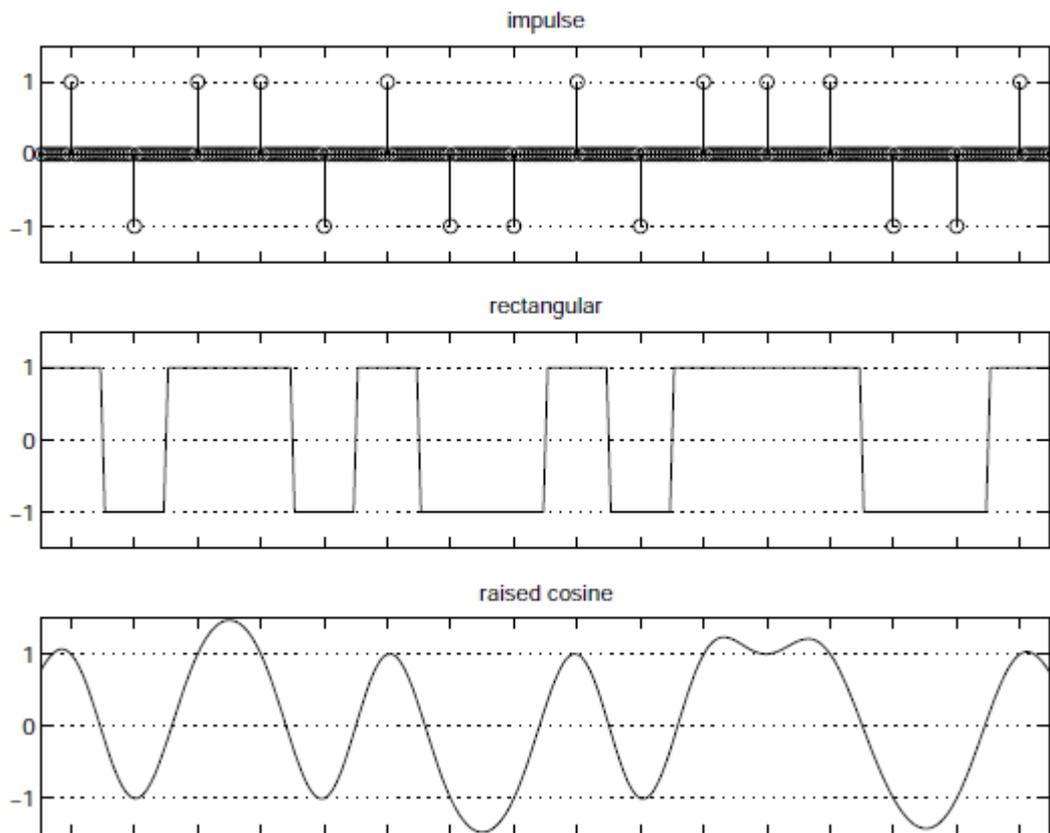


Figura 2. 5: Conformación de banda base para modulación BPSK.
Fuente: Rice, M. (2009)

En la figura 2.6 se muestra la comparación entre el espectro de los impulsos rectangulares y del impulso filtrado de coseno elevado. El trazado de los puntos cerca de la parte superior de la figura 2.6, es el espectro de los impulsos rectangulares; mientras que el trazado sólido en la parte inferior de la figura 2.6, es el espectro de los impulsos en forma de coseno elevado. El filtro del coseno alzado no sólo se ha reducido el lóbulo principal espectral, también casi se ha eliminado los lóbulos laterales.

En la mayoría de los sistemas de comunicaciones digitales, nos dividimos la tarea de conformación de impulsos iguales entre el transmisor y

el receptor. Para hacer esto, debemos usar la raíz cuadrada de la respuesta del filtro coseno-elevado tanto en el transmisor como el receptor. De esta manera, el producto de las dos respuestas de filtro resultará en una respuesta general coseno-elevado que tiene ISI igual a "0". Hay que tener en cuenta que una señal que sólo ha sido filtrado por uno de la raíz cuadrada del filtro coseno-elevado (por ejemplo, la señal en el canal) no exhibe un ISI igual "0".

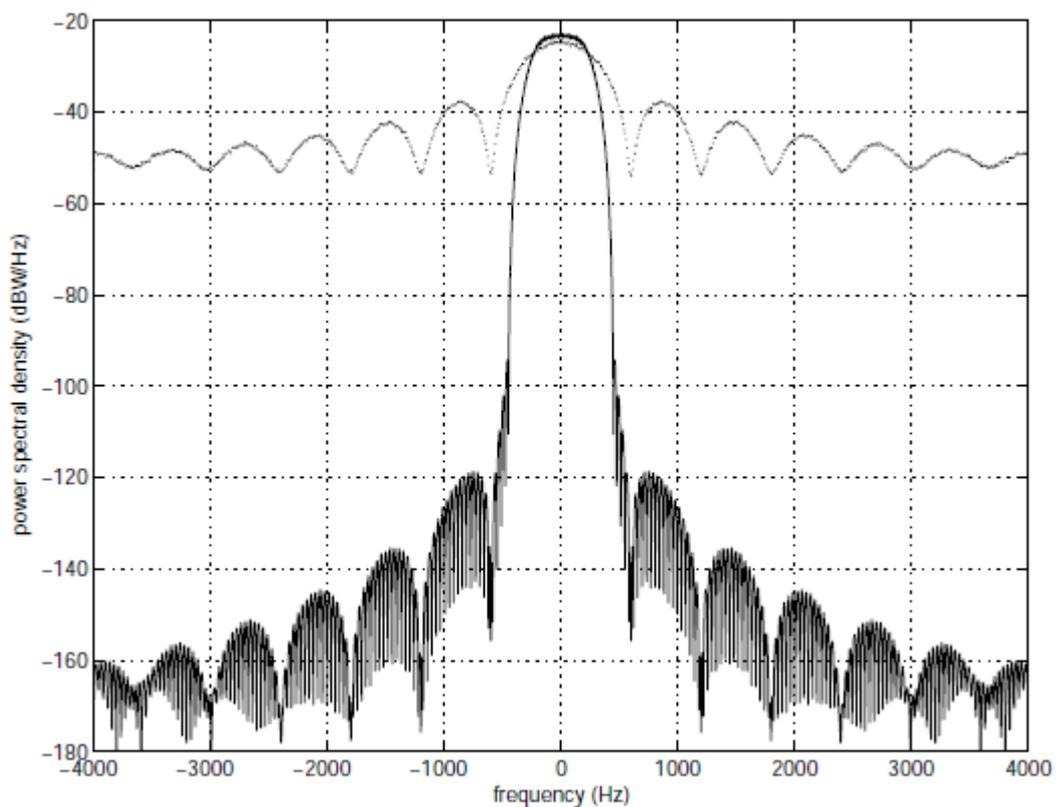


Figura 2. 6: Comparación entre el espectro de los impulsos rectangulares y del impulso filtrado de coseno elevado.

Fuente: Rice, M. (2009)

2.2.7. El diagrama de ojo para modulación BPSK.

Una consecuencia de la conformación de impulsos, es la necesidad de la recuperación exacta de la temporización de símbolos en el receptor. Con la conformación de los impulsos rectangulares, las transiciones de símbolos son líneas verticales. Con la conformación de impulsos de coseno elevado, los límites de los símbolos son difíciles de identificar, ya que son suaves y

graduales. Un diagrama de ojo proporciona una manera fácil de observar las transiciones entre símbolos e inspeccionan la secuencia temporal de símbolo.

Un diagrama de ojo es simplemente la señal de banda base repetidamente trazada sobre un intervalo de un símbolo. La apertura máxima del ojo indica el centro del símbolo, que es también el momento óptimo para el receptor para tomar una muestra. Las transiciones entre símbolos hacen que el ojo se cierre en los bordes. En la figura 2.7 se muestra un diagrama de ojo típico para modulación BPSK con conformación de los impulsos de coseno alzado.

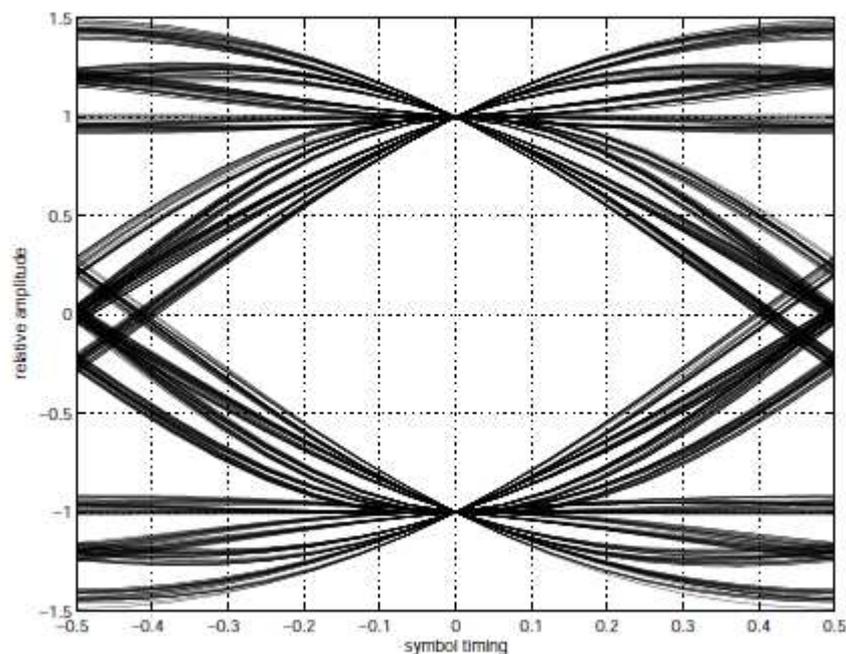


Figura 2. 7: Diagrama de ojo para BPSK.
Fuente: Rice, M. (2009)

De la figura 2.7 se observa que en el centro del símbolo, el ojo converge a dos puntos: ± 1 , mientras que en el símbolo de bordes, el ojo adquiere muchos valores diferentes. La forma exacta del ojo se determina por el factor de atenuación progresiva (roll-off) del filtro, así como el número de muestras por símbolo.

2.3. Modulación QPSK.

La modulación de fase digital no necesita ser limitada como el caso binario simple. Al agrupar los bits juntos y la elección de la modulación de fase, en consecuencia, obtenemos M-aria PSK. BPSK es el resultado cuando $M=2$. Para $M = 4$, agrupamos los bits en pares, llamados “dibits”, y la señal resultante se conoce como desplazamiento de fase en cuadratura (QPSK).

2.3.1. Asignación de símbolo para QPSK.

En QPSK, tenemos cuatro símbolos, cada uno representando un valor de “dibit” particular. Por lo tanto, debemos seleccionar cuatro valores para $\theta(t)$, la modulación de fase varía con el tiempo nuestra señal de paso de banda digital. Supongamos que utilizamos la tabla 2.1 para asignar la modulación de fase para cada uno de los cuatro símbolos posibles.

Tabla 2. 1: Recursos principales disponibles en dispositivos FPGA.

dibit	$\theta(t)$
00	$+\frac{3\pi}{4}$
01	$-\frac{3\pi}{4}$
10	$+\frac{\pi}{4}$
11	$-\frac{\pi}{4}$

Fuente: Rice, M. (2009)

Dicha asignación mostrada por la tabla 2.1, se describe a través de las siguientes expresiones para señales QPSK:

$$s_{00}(t) = \sqrt{E_s} \cos\left(2\pi f_c t + \frac{3}{4}\pi\right) \quad (4)$$

$$s_{01}(t) = \sqrt{E_s} \cos\left(2\pi f_c t - \frac{3}{4}\pi\right)$$

$$s_{10}(t) = \sqrt{E_s} \cos\left(2\pi f_c t + \frac{1}{4}\pi\right)$$

$$s_{11}(t) = \sqrt{E_s} \cos\left(2\pi f_c t - \frac{1}{4}\pi\right)$$

Mediante la utilización de la identidad trigonométrica $\cos(a + b) = \cos(a)\cos(b) - \sin(a)\sin(b)$, podemos reescribir la ecuación (4) de una manera más intuitiva:

$$s_{00}(t) = -\frac{\sqrt{2E_s}}{2} \cos(2\pi f_c t) - \frac{\sqrt{2E_s}}{2} \sin(2\pi f_c t)$$

$$s_{01}(t) = -\frac{\sqrt{2E_s}}{2} \cos(2\pi f_c t) + \frac{\sqrt{2E_s}}{2} \sin(2\pi f_c t)$$

$$s_{10}(t) = +\frac{\sqrt{2E_s}}{2} \cos(2\pi f_c t) - \frac{\sqrt{2E_s}}{2} \sin(2\pi f_c t)$$

$$s_{11}(t) = +\frac{\sqrt{2E_s}}{2} \cos(2\pi f_c t) + \frac{\sqrt{2E_s}}{2} \sin(2\pi f_c t)$$

De esta forma, hemos expresado QPSK en términos de una portadora en cuadratura de amplitud modulada. Una portadora en cuadratura puede ser considerada ya sea como una exponencial compleja, $e^{j\omega_c t}$ o la suma equivalente de sinusoides en cuadratura de fase

2.3.2. Modulación de una portadora en cuadratura.

Expresando $S(t)$ como una portadora en cuadratura de amplitud modulada nos permite conceptualizar QPSK como la suma de dos señales BPSK, que están en cuadratura de fase entre sí. Las señales portadoras son: $\frac{\sqrt{2E_s}}{2} \cos(2\pi f_c t)$ y $\frac{\sqrt{2E_s}}{2} \sin(2\pi f_c t)$; y las señales de amplitud modulada que estas portadoras son ondas cuadradas que tienen amplitudes de ± 1 y períodos de un símbolo, T .

La figura 8 ilustra cómo creamos QPSK sumando dos portadoras sinusoidales de que haber sido de amplitud modulada con impulsos rectangulares bits. En la figura 8, se muestran los tres gráficos superiores en fase (real) de canal, y los siguientes tres gráficos muestran el canal en cuadratura (imaginaria). El gráfico inferior muestra la señal QPSK resultante de la suma de las señales en fase y en cuadratura BPSK.

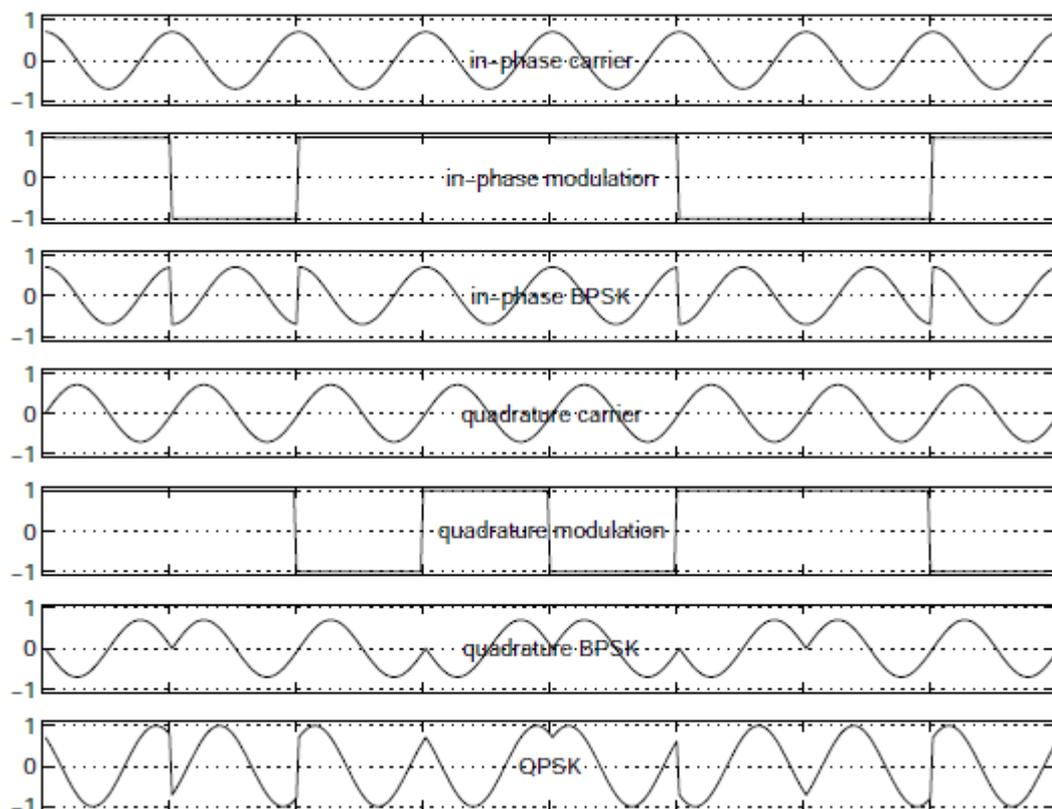


Figura 2. 8: Modulación QPSK mediante dos portadoras sinusoidales.
Fuente: Rice, M. (2009)

2.3.3. Diagrama de Constelación de BPSK.

En el diagrama de constelación se muestran las ubicaciones de los símbolos en el espacio de señales complejas. El eje horizontal es la componente real o en fase, que es también la amplitud de la porción de coseno de la portadora en cuadratura. El eje vertical es la componente imaginaria o en cuadratura, que es también la amplitud de la porción de seno

de la portadora en cuadratura. La energía instantánea, o amplitud, de un símbolo es su distancia desde el origen. El ángulo de fase de un símbolo es su desplazamiento angular desde el eje horizontal positivo.

La constelación de la señal QPSK resultante del mapa de símbolos fue descrita en la tabla 2.1 y la gráfica se ilustra en la figura 2.9. Los cuatro símbolos están representados por círculos negros, y están etiquetados de acuerdo con el mapeo de la tabla 2.1. El círculo discontinuo representa un lugar geométrico de la señal de energía constante, lo que significa cualquier punto en este círculo requiere la misma cantidad de potencia del transmisor. Para el mapeo, se ha elegido la magnitud de las componentes real e imaginaria de cada símbolo, que son idénticos e iguales a $\pm \frac{\sqrt{2E_s}}{2}$

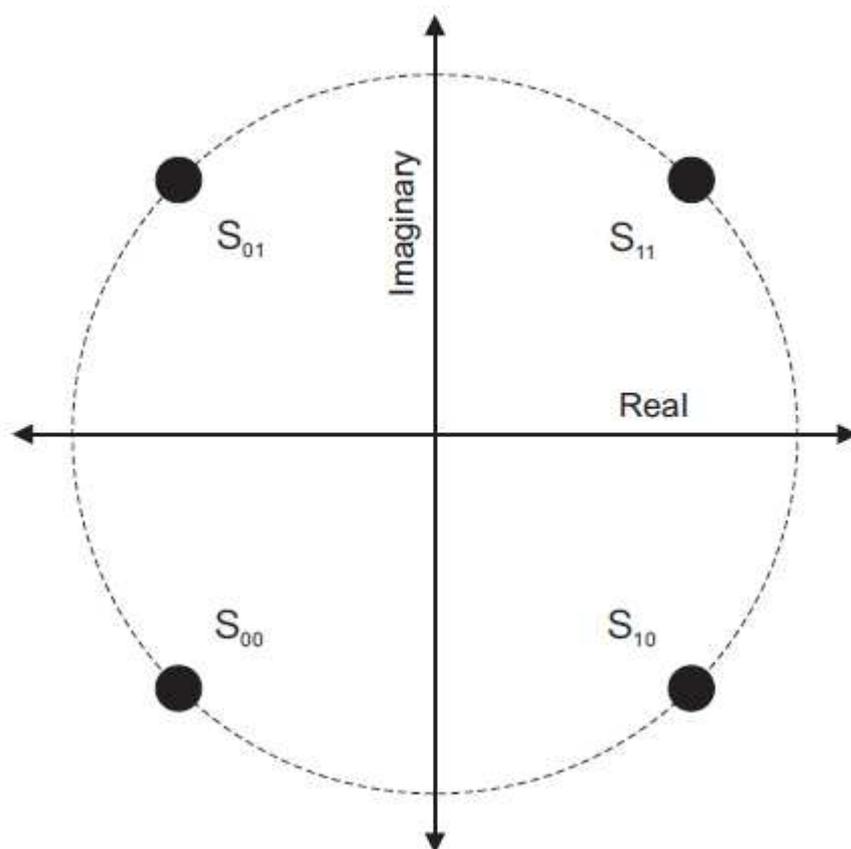


Figura 2. 9: Diagrama de constelación para QPSK.
Fuente: Rice, M. (2009)

2.3.4. Justificación de la asignación de símbolo de BPSK.

Si graficamos el mapeo de los cuatro símbolos de la constelación de la señal mediante la elección de los valores de $\theta(t)$ para cada uno. Aunque hay muchas opciones posibles, se prefiere la asignación enumeradas en la tabla 2.1, por varias razones, como veremos a continuación. Un receptor QPSK debe dividir a la constelación de la señal en regiones de decisión, a continuación, utilizar estas regiones para identificar el valor de la señal recibida. Para la constelación ilustrada en la figura 2.9, los límites de región de decisión son los ejes reales e imaginarios.

Esto hace que el proceso de decisión sea muy simple, ya que el receptor sólo necesita decidir si la magnitud de la señal es mayor que "0" o menor que "0", tanto para las componentes en fase y en cuadratura. Pudimos haber elegido una correlación de símbolos que puede rotar la constelación vista en la figura 2.9 por 4π radianes, colocando los símbolos directamente en los ejes. Sin embargo, en ese caso, los límites de región de decisión serían medio camino entre los dos ejes, añadiendo complejidad al receptor.

El ruido puede causar que la señal de recepción se mueva fuera de la región de decisión correcta. Cuando esto sucede, el receptor realizará algún error en su símbolo de decisión. Cada símbolo representa dos bits; por lo tanto, un error de símbolo puede resultar en uno o dos bits de estar en error. Con el fin de minimizar la probabilidad de error de bit, se utiliza una técnica conocida como mapeo "Grey". Este mapeo, requiere símbolos que son adyacentes entre sí en la constelación de señal para diferir en sólo un bit, en lugar de dos bits.

Para cada símbolo en la constelación, los vecinos más próximos serán diferentes por un solo bit, mientras que el símbolo más alejado será diferente por dos bits. Esto minimiza la probabilidad de error de bit, ya que la

probabilidad de la ruido con una gran amplitud es menor que la probabilidad de la ruido con una pequeña amplitud.

2.3.5. Contención espectral

QPSK lleva el doble de bits como BPSK porque QPSK utiliza dos portadoras que están en cuadratura de fase entre sí. Para una tasa de la frecuencia de portadora y símbolo dado, una señal QPSK tendrá el mismo espectro de frecuencia como una señal BPSK. En el ejemplo anterior, los símbolos se representan con impulsos rectangulares, lo que resulta en un muy amplio ancho de banda. Como fue el caso con BPSK, debemos filtrar los símbolos de banda base antes de la modulación de ellos sobre el soporte, con el fin de controlar el ancho de banda de la señal.

Una vez más, utilizamos el filtro de coseno elevado para la conformación de los impulsos, pero esta vez, tenemos dos señales de banda base que debemos filtrar: el canal en fase y en el canal de cuadratura. Un filtro de coseno elevado nos permite elegir la cantidad de "exceso" de ancho de banda como uno de nuestros parámetros de diseño. El exceso de ancho de banda, también conocido como factor de la 'roll-off', controla la suavidad de la forma del pulso y determina el ancho de banda de la señal. Como regla general, el ancho de banda, B , de una señal PSK es:

$$B = f_{sim}(1 + \alpha)$$

Donde, f_{sim} es la velocidad de los símbolos y α es el factor de caída del filtro.

Para hacer que el ancho de banda sea lo más pequeña posible, debemos hacer que el factor de caída del filtro sea tan pequeño como sea posible; sin embargo, esto produce una señal que es difícil de recuperar desde la temporización de símbolos. Todos los esquemas de recuperación

de la temporización de símbolos se basan en transiciones bruscas en la señal de banda base con el fin de lograr la sincronización de temporización. A medida que aumentamos la cantidad de filtrado de paso bajo que aplicamos a la señal de banda, las transiciones de símbolos se vuelven tan suaves, que son imposibles de identificar. El factor de caída de filtro razonable debe estar entre 0,25 y 0,5.

2.3.6. Diagrama de Transición

El diagrama de transición es similar al diagrama de constelación, en la que ambos muestran la señal QPSK en el espacio de señales complejas. Sin embargo, el diagrama de transición muestra las transiciones de la señal entre los símbolos, mientras que el diagrama de constelación no lo hace.

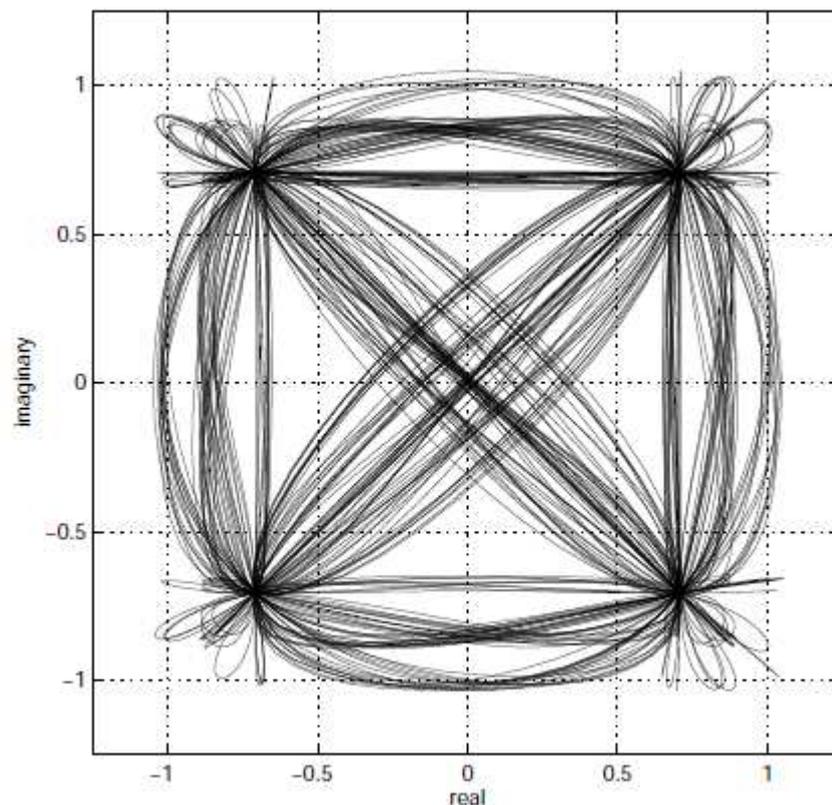


Figura 2. 10: Diagrama de transición para QPSK.
Fuente: Rice, M. (2009)

En la figura 2.10 se muestra un diagrama de transición QPSK. En el centro de cada símbolo, la señal se encuentra en una de las cuatro esquinas de la constelación. En los demás casos, la señal será la transición entre símbolos. La forma exacta del diagrama de transición se determina por el factor de caída del filtro, así como el número de muestras por símbolo.

2.3.7. La señal envolvente de QPSK.

Consideramos PSK generalmente como una forma de modulación de envolvente constante, ya que estamos modulación de la fase en lugar de la amplitud de la señal portadora. Sin embargo, desde:

$$\sqrt{E_s} \cos[\omega t + \theta(t)] = \sqrt{E_s} \cos(\omega t) \cos(\theta(t)) - \sqrt{E_s} \sin(\omega t) \sin(\theta(t))$$

La modulación de fase de la una portadora sinusoidal es equivalente a la modulación de amplitud de una portadora en cuadratura. Esto nos lleva a preguntarnos si o no PSK es modulada verdaderamente de forma constante. La respuesta se puede encontrar en el diagrama de transición.

Los diagramas de transición muestran las señales en el espacio de señales complejas, trazado sobre un cierto período de tiempo. En cualquier instante, la amplitud de señal es simplemente la distancia desde el origen a un punto específico en el diagrama de transición. Con el fin de tener una envolvente constante, la señal debe ser siempre la misma distancia desde el origen.

Para la modulación QPSK sin filtrar, los símbolos son simplemente impulsos rectangulares, y las transiciones entre símbolos son instantáneos. En este caso, el diagrama de transición es un cuadrado. Aunque tiene líneas rectas entre los cuatro símbolos, estas transiciones se producen en el tiempo cero; por lo tanto, la señal debe estar en una de las cuatro esquinas de la plaza, en todo momento, lo que resulta en una señal de envolvente

constante. Sin embargo, cuando se aplica un filtro de conformación de impulsos a los símbolos, la envolvente ya no es constante. Esto es claramente se puede observar en el diagrama de transición mostrado por la figura 2.10. Dado que los símbolos han sido filtrados, las transiciones ya no son instantáneas, y la señal puede tomar cualquier valor se muestra en el diagrama de transición.

En la figura 2.11 se muestra una señal típica QPSK (líneas finas) y su envolvente (líneas gruesas). Claramente, la envolvente no es constante, ya que se convierte en cero durante breves instantes, cuando cada vez que hay una transición de fase en π radianes, que ocurre cuando el siguiente símbolo es diagonalmente opuesta del presente símbolo.

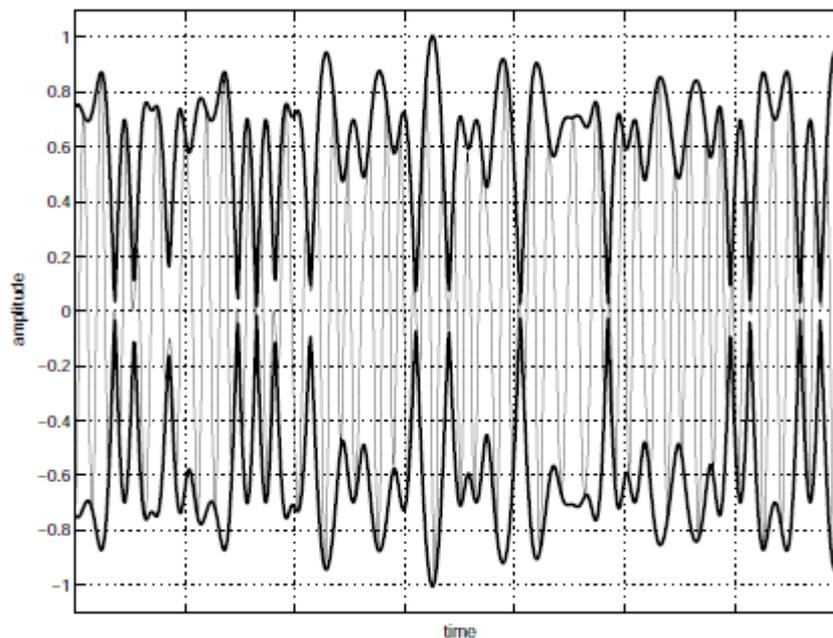


Figura 2. 11: Señal envolvente de QPSK.

Fuente: Rice, M. (2009)

La envolvente de la señal es importante en los canales que sufren distorsión de amplitud, especialmente los canales que están limitados fuertemente. Si una señal no tiene una envolvente casi constante, será severamente distorsionada sobre este canal. Esto puede resultar en la

expansión de ancho de banda, la interferencia entre símbolos, y la diafonía de canal en cuadratura. Si la distorsión es severa, puede que no sea posible para el receptor recuperar la modulación.

2.3.8. Transmisor para QPSK.

En la figura 2.12 se muestra el diagrama de bloques de un transmisor típico para QPSK. Las particiones nibbler del flujo de bits de entrada continúan en dibits y rutas de un bit a la rama en fase del modulador, y el otro poco a la rama de cuadratura del modulador. El nibbler también convierte cada uno a cero a una amplitud de la señal de -1, y cada uno a uno a una amplitud de la señal de +1.

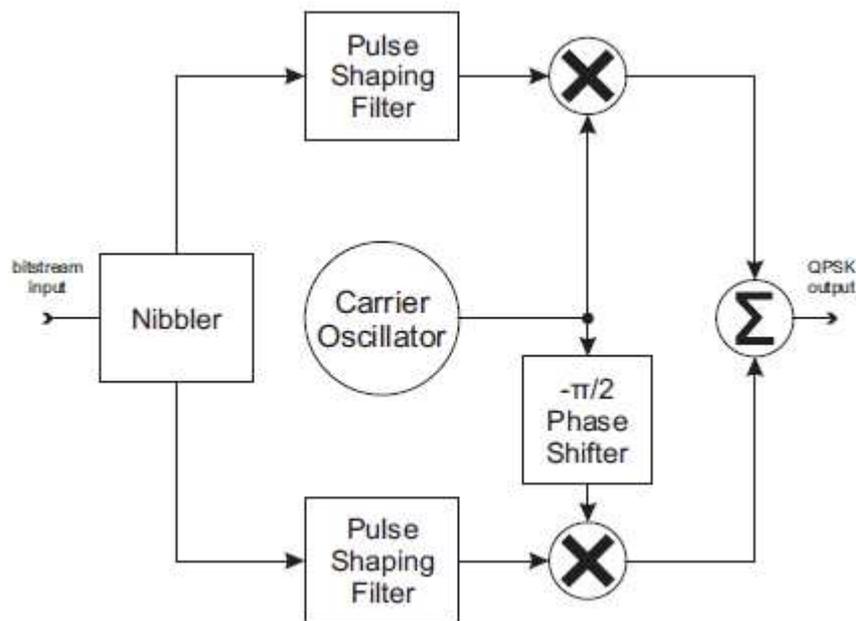


Figura 2. 12: Diagrama de bloques del transmisor QPSK.

Fuente: Rice, M. (2009)

El filtro de conformación de impulsos es una raíz cuadrada del filtro de coseno elevado, limita el ancho de banda de la señal QPSK. Cuando se combina con otro filtro de raíz cuadrada de coseno elevado en el receptor, la respuesta general proporciona una señal con ISI igual "0". El oscilador de la

señal de portadora genera la expresión $\cos(2\pi f_c t)$, que es desplazada en fase por la expresión $\sin(2\pi f_c t)$ pero desfasada $-\pi/2$, y así proporcionando a los mezcladores una portadora en cuadratura. Los mezcladores modulan las portadoras en fase y en cuadratura las señales de banda bases filtradas. La salida de ambos mezcladores es una señal BPSK.

2.3.9. Receptor para QPSK.

Todos los receptores digitales deben, en general, llevar a cabo tres tareas: estimar la fase de la portadora (y la frecuencia), recuperar la temporización de símbolos y estimar el valor más probable del símbolo recibido. Para entender la importancia de estas tareas, volvemos a la expresión de una señal modulada en fase:

$$s(t) = \sqrt{E_s} \cos(2\pi f_c t + \theta(t))$$

Donde $\sqrt{E_s}$ es la (constante) amplitud de la portadora modulada, f_c es la frecuencia de la portadora, $\theta(t)$ es la modulación de fase de tiempo variable, con la fase inicial de la portadora por conveniencia se supone que es cero.

En el caso de QPSK, $\theta(t)$ se encuentra en el intervalo $\left[\pm \frac{1}{4}\pi, \pm \frac{3}{4}\pi\right]$, y cambios (como máximo) una vez por símbolo. Esto sigue siendo cierto cuando introducimos filtros de conformación de impulsos para controlar el ancho de banda de la señal, aunque los filtros causan las trayectorias entre los puntos de constelación que difieren de los del caso sin filtrar.

En la figura 2.13 se muestra el diagrama de bloques del receptor típico de QPSK. Donde la señal QPSK de entrada se mezcla con un oscilador local en cuadratura, con las frecuencias heterodinos de la modulación de la frecuencia portadora a banda base. Puesto que QPSK requiere un receptor coherente, la fase de la portadora de LO debe ser sincronizada con la fase

QPSK recibida. El filtro de conformación de impulsos es un filtro pasa bajo de la raíz cuadrada del coseno alzado que elimina el término de doble frecuencia de la señal de banda base en cuadratura de conversión descendente. Este filtro también completa la conformación de los impulsos de Nyquist de la señal, dando como resultado cero ISI en el momento óptimo de muestreo.

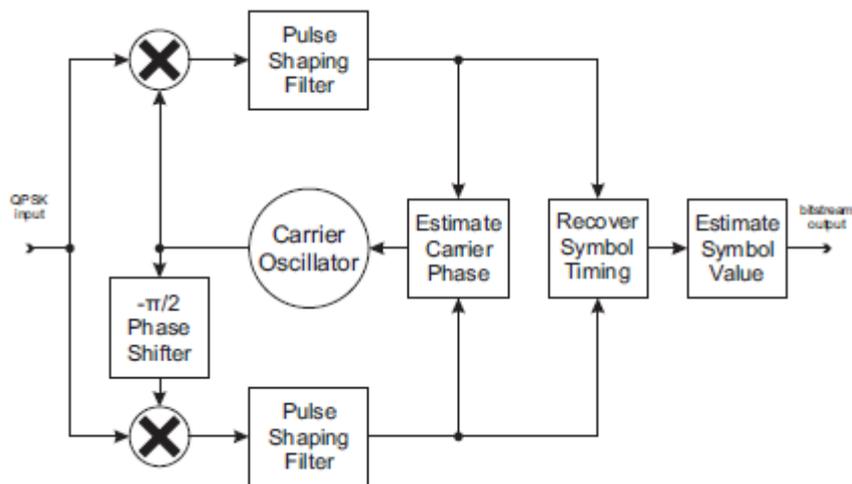


Figura 2. 13: Diagrama de bloques del receptor QPSK.
Fuente: Rice, M. (2009)

La señal de banda base filtrada alimenta a un estimador de fase de la portadora que se ajusta la fase del oscilador local, forzando en sincronización de fase con la señal QPSK recibida. El estimador de fase portadora y su conexión asociada a la LO suele ser la parte más difícil del diseño del receptor.

La señal de banda filtrada también se alimenta de una temporización de símbolos de bloque de recuperación. Este bloque determina el momento óptimo del símbolo, y toma una muestra de la señal cuando el ojo del diagrama de ojo está en su posición más abierta. Esto también, es a menudo una parte difícil al momento de diseñar un receptor QPSK.

El último bloque del receptor toma una muestra de forma óptima y la señal de banda base se filtra oportunamente, la cual forma una estimación

del símbolo transmitido. Esta estimación se convierte a continuación en un dicit y suministra como el flujo de bits de salida.

2.4. Modulación DPSK.

Hasta ahora, sólo hemos considerado la posibilidad de un demodulador coherente para recibir a PSK. Un demodulador coherente requiere que el oscilador local del receptor tenga fase de la portadora y frecuencia ajustada con precisión a la portadora transmitida. Sin embargo, si estamos dispuestos a sacrificar algo de rendimiento de la tasa de error de bit a cambio de una reducción de la complejidad del receptor, hay una alternativa para el demodulador coherente, que sería la modulación por desplazamiento de fase diferencial (DPSK).

En lugar de crear un oscilador local coherente en fase independiente, podemos utilizar la señal PSK como el oscilador local. Para ello, retrasamos la señal PSK recibida por exactamente un símbolo, luego mezclamos esta señal retardada con el PSK entrante. Esta técnica se llama frecuencia intermedia (IF) de demodulación diferencial.

Hemos definido previamente una señal PSK en la ecuación (5). Si ésta se retrasa la señal PSK por un símbolo, el valor de t se convierte en $(t - T)$, donde T es la duración de un símbolo. Si mezclamos la señal PSK recibida con una copia retardada de un símbolo de sí misma, se obtiene:

$$R(t) = \sqrt{E_s} \cos(2\pi f_c t + \theta(t)) \cdot \sqrt{E_s} \cos(2\pi f_c (t - T) + \theta(t - T))$$

$$R(t) = \frac{E_s}{2} \{ \cos(2\pi f_c t - 2\pi f_c T + \theta(t) + \theta(t - T)) \\ + \cos(2\pi f_c T + \theta(t) - \theta(t - T)) \}$$

Después del filtrado de pasa bajo, tenemos:

$$R(t) = \cos(2\pi f_c T + \theta(t) - \theta(t - T))$$

El término, $2\pi f_c T$ es una constante, y bajo ciertas condiciones, puede desaparecer por completo. El ángulo de fase del presente símbolo es $\theta(t)$, y el ángulo de fase del símbolo anterior es $\theta(t - T)$. Por lo tanto, el término $\theta(t) - \theta(t - T)$ es simplemente la diferencia angular entre los símbolos presentes y anteriores.

Por lo tanto, mediante la mezcla de una señal PSK con una copia retardada de un símbolo de sí misma, se obtiene una señal que nos dice la diferencia de fase entre el presente símbolo y el símbolo anterior. Otra posibilidad es utilizar un oscilador local para convertir de forma asíncrona por la PSK de la frecuencia portadora a la banda base, a continuación, decodificar diferencialmente la señal de banda base. Esta técnica se denomina banda base diferencial de demodulación. Supongamos que nuestra señal PSK, $S(t)$ es la ecuación (5), y nuestro oscilador local es:

$$X(t) = \sqrt{E_s} e^{-j(2\pi f_x t + \delta)}$$

Donde f_x es la frecuencia de LO, y δ es alguna de las fases arbitrarias. La salida del convertidor descendente será:

$$R(t) = \sqrt{E_s} \cos(2\pi f_c T + \theta(t)) \cdot \sqrt{E_s} e^{-j(2\pi f_x t + \delta)}$$

Lo cual queda:

$$R_I(t) = \frac{E_s}{2} \{ \cos(2\pi[f_c + f_x]t + \theta(t) + \delta) + \cos(2\pi[f_c - f_x]t + \theta(t) - \delta) \}$$

$$R_Q(t) = \frac{E_s}{2} \{ -\sin(2\pi[f_c + f_x]t + \theta(t) + \delta) - \sin(2\pi[f_c - f_x]t - \theta(t) + \delta) \}$$

Después del filtrado de paso bajo y simplificación adicional, tenemos:

$$R_I(t) = \frac{E_s}{2} \cos(2\pi[f_c - f_x]t + \theta(t) - \delta)$$

$$R_Q(t) = \frac{E_s}{2} \sin(2\pi[f_c - f_x]t + \theta(t) - \delta)$$

A continuación, calculamos $\tan^{-1}\left(\frac{R_Q(t)}{R_I(t)}\right)$ para extraer $\angle R(t)$, el argumento de la señal de banda filtrada. Finalmente, restamos una versión del símbolo retrasado $\angle R(t)$ de sí mismo para formar $\angle R(t) - \angle R(t - T)$. El resultado quedaría:

$$2\pi[f_c - f_x]t + \theta(t) - \delta - 2\pi[f_c - f_x](t - T) - \theta(t - T) + \delta$$

Si $f_x \approx f_c$, a continuación, el término $[f_c - f_x]$ es muy pequeño, y puede ser considerado casi "0" durante un intervalo de un símbolo. Con esta aproximación, nos quedamos con $\theta(t) - \theta(t - T)$, la diferencia de fase entre el actual símbolo y el símbolo anterior.

Por supuesto, estos dos receptores diferenciales son sólo capaces de determinar la diferencia de fase entre símbolos, y no la fase absoluta de un símbolo dado. Por lo tanto, en el transmisor respalda la solicitud de codificar nuestra información como una diferencia de fase, en lugar de una fase absoluta. Para ello, le asignaremos una fase diferencial $\Delta\theta$, para cada símbolo. En la tabla 2.2 se enumera una posible correlación de símbolos para diferenciales QPSK.

Tabla 2. 2: Símbolos de mapeo diferencial QPSK.

dibit	$\Delta\theta(t)$
00	0
01	$+\frac{\pi}{2}$
10	$-\frac{\pi}{2}$
11	π

Fuente: Rice, M. (2009)

Para codificar los símbolos, el transmisor comienza con el valor de fase inicial, $\theta(t = 0)$ que puede ser puesto a "0" por conveniencia. Entonces el transmisor sigue la regla: $\theta(n) = \theta(n - 1) + \Delta\theta_n$ donde n es el número de

símbolo, $y\Delta\theta_n$ (véase la tabla 2.2) es el símbolo n-ésimo. El resto del transmisor es idéntico a un transmisor QPSK ordinario.

Con la PSK diferenciales, el receptor no necesita un oscilador local de fase coherente. Esto conduce a un diseño de receptor mucho más simple que el requerido por PSK. Sin embargo, los PSK diferenciales sufre de rendimiento de tasa de error de bit degradada, ya que la cantidad de ruido en la señal recibida se duplica de manera eficaz, debido a la mezcla de una señal ruidosa con una señal de ruido en lugar de un oscilador local limpio.

Aunque el ejemplo presentado anteriormente es QPSK diferencial (DQPSK), M-aria DPSK es posible para cualquier valor de M, con DBPSK DQPSK y siendo el más común. DQPSK se puede modificar adicionalmente para obtener $\frac{\pi}{4}$ -DQPSK, tal vez el miembro más versátil de la familia DPSK.

2.5. Modulación $\frac{\pi}{4}$ – DQPSK.

La modulación $\frac{\pi}{4}$ –DQPSK es una variación de la modulación DQPSK, y como tal, tiene cuatro símbolos posibles. Los mapas de QPSK estándar, cada uno de los cuatro símbolos para un ángulo de fase única de una manera absoluta. En otras palabras, el símbolo S_{00} siempre se asigna a $\theta(t) = +\frac{3\pi}{4}$.

$\frac{\pi}{4}$ –DQPSK utiliza la codificación diferencial; por lo tanto, la correspondencia entre los símbolos y los ángulos de fase ya no es absoluta. En la presente sección analizamos la modulación $\frac{\pi}{4}$ –DQPSK mediante la exploración de la correspondencia entre los símbolos y ángulos de fase.

2.5.1. Asignación de símbolo para $\frac{\pi}{4}$ -DQPSK.

Consideremos la correlación de símbolos de la tabla 2.3, aunque la misma es muy similar a la tabla 2.2 correspondiente a la modulación QPSK, el valor recuperado de esta tabla es el incremento de fase, $\Delta\theta$ en lugar del ángulo de fase, θ . Al comienzo de cada intervalo de símbolos, utilizamos $\Delta\theta$ para calcular θ de acuerdo a:

$$\theta_{nuevo} = \theta_{anterior} + \Delta\theta$$

entonces usamos θ para desplazar la fase de la portadora de acuerdo a:

$$S(t) = \sqrt{E_s} \cos[2\pi f_c t + \theta(t)]$$

Puesto que $\Delta\theta \in \left\{ \pm\frac{\pi}{4}, \pm\frac{3}{4}\pi \right\}$ de cada símbolo sucesivo adelantará en fase de la portadora por un múltiplo entero impar $\frac{\pi}{4}$. Suponiendo que el desplazamiento de fase inicial en un tiempo $t = 0$ es cero, y los posibles ángulos de fase de $\frac{\pi}{4}$ -DQPSK serían $\left\{ 0, \frac{\pi}{4}, \frac{\pi}{2}, \frac{3}{4}\pi, \pi, \frac{5}{4}\pi, \frac{3}{2}\pi, \frac{7}{4}\pi \right\}$.

Para la modulación $\frac{\pi}{4}$ -DQPSK, creamos una señal de banda mediante el uso de la correlación de símbolos proporcionado en la tabla 2.3. En primer lugar, asignamos cada dicit a un incremento de fase $\Delta\theta$. A continuación, añadimos cada incremento de fase a la fase anterior θ , reduciendo el resultado 2π según sea necesario. El resultado es una secuencia de ángulos de fase, que utilizamos para crear una señal de banda base compleja como:

$$M(t) = e^{+j\theta(t)}$$

donde $\theta(t)$ es uno de los ocho posibles ángulos de fase mencionadas anteriormente. Finalmente, esto es completado con el mapa de dibits para los ocho puntos de la constelación.

Tabla 2. 3: Símbolos de mapeo $\frac{\pi}{4}$ -DQPSK.

Símbolos	$\Delta\theta$
00	$-\frac{3}{4}\pi$
01	$\frac{3}{4}\pi$
10	$-\frac{\pi}{4}$
11	$\frac{\pi}{4}$

Fuente: Rice, M. (2009)

2.5.2. Diagrama de Constelación de $\frac{\pi}{4}$ -DQPSK.

La modulación $\frac{\pi}{4}$ -DQPSK tiene una constelación de ocho puntos, tal como se ilustra en figura 2.14. Aunque esta constelación se compone de los mismos ocho puntos como las modulaciones 8-PSK, $\frac{\pi}{4}$ -DQPSK y 8-PSK siendo estas formas PSK muy diferentes. La constelación $\frac{\pi}{4}$ -DQPSK consta de dos subconjuntos de cuatro puntos que son compensados por $\frac{\pi}{4}$ radianes entre sí.

En la figura 2.14 se muestra uno de estos subconjuntos en gris oscuro, y la otra en gris claro.

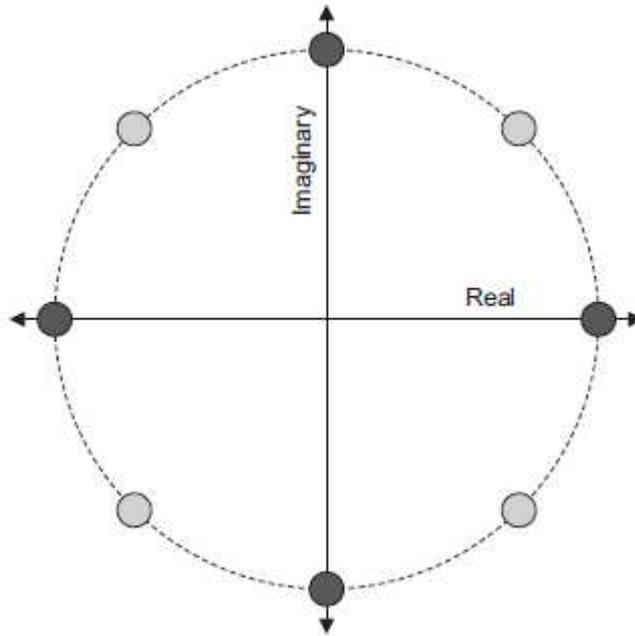


Figura 2. 14: Constelación de modulación $\frac{\pi}{4}$ -DQPSK.

Fuente: Rice, M. (2009)

Puesto que siempre estamos agregando un múltiplo impar de $\frac{\pi}{4}$ radianes a la fase, la señal debe alternarse entre estos dos subgrupos de cuatro puntos cada símbolo. Esto significa, que en cada símbolo de transición, la señal debe pasar de un punto de color gris oscuro a un punto de color gris claro, o desde el punto de color gris claro a un punto gris oscuro. Pasar de un punto de color gris claro a un punto de color gris claro, o desde un punto de color gris oscuro a un punto de color gris oscuro, está prohibido.

2.5.3. Diagrama de transición de $\frac{\pi}{4}$ -DQPSK.

En la figura 2.15 se puede observar el diagrama de transición de la modulación $\frac{\pi}{4}$ -DQPSK. En cada uno de los ocho puntos de la constelación, se muestran como círculos negros, hay cuatro transiciones permitidas para los otros puntos de la constelación, que se muestran como líneas negras gruesas. Cada transición corresponde a uno de los cuatro valores de

símbolo posibles. Ninguna de las transiciones pasa por el origen, esto ayuda a que la señal de la envolvente sea casi una constante que la de QPSK.

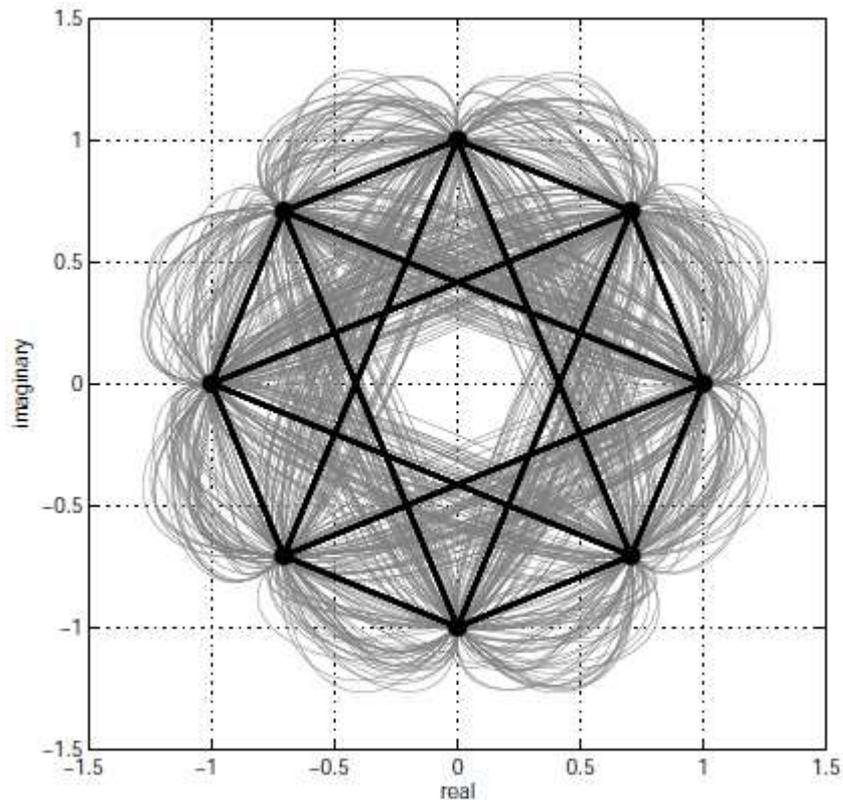


Figura 2. 15: Diagrama de transición de modulación $\frac{\pi}{4}$ -DQPSK.
Fuente: Rice, M. (2009)

Además, los ocho puntos de la constelación están en el círculo unitario. Esto significa que todos ellos tienen la misma energía total. Como fue el caso de la modulación QPSK, debemos filtrar la señal de banda base con un filtro de coseno elevado para controlar el ancho de banda. Esto se hace exactamente igual que QPSK, tanto con los componentes I y Q como de la señal de banda base filtrada por el filtro de coseno elevado. Cuando la señal de banda base se filtra con un filtro de coseno elevado para conformación de impulsos, las transiciones convertidas se observan en gris claro de la figura 2.15.

2.5.4. Diagrama de ojo para modulación $\frac{\pi}{4}$ -DQPSK.

Cuando observamos cualquiera de las componentes en fase o de la cuadratura de las transiciones de la señal de banda base en función del tiempo, da como resultado el diagrama de ojo que se ilustra en la figura 2.16. Las alternancias del diagrama de ojo entre dos y tres niveles para cada símbolo. Esto es bastante diferente al diagrama en ojo de la modulación QPSK, debido a los subconjuntos alternantes de la constelación.

La figura 2.14 permite visualizar las proyecciones de los puntos de la constelación sobre el eje real o imaginario. El subconjunto de color gris claro de la constelación se proyectará para dos puntos $\pm \frac{\sqrt{2}}{2}$. El subconjunto de color gris oscuro de la constelación se proyectará para tres puntos $0, \pm 1$. Por lo tanto, como las alternancias de señal entre estos dos subconjuntos, el ojo se alternará entre dos niveles y tres niveles en cada símbolo, como se puede observar en la figura 2.16.

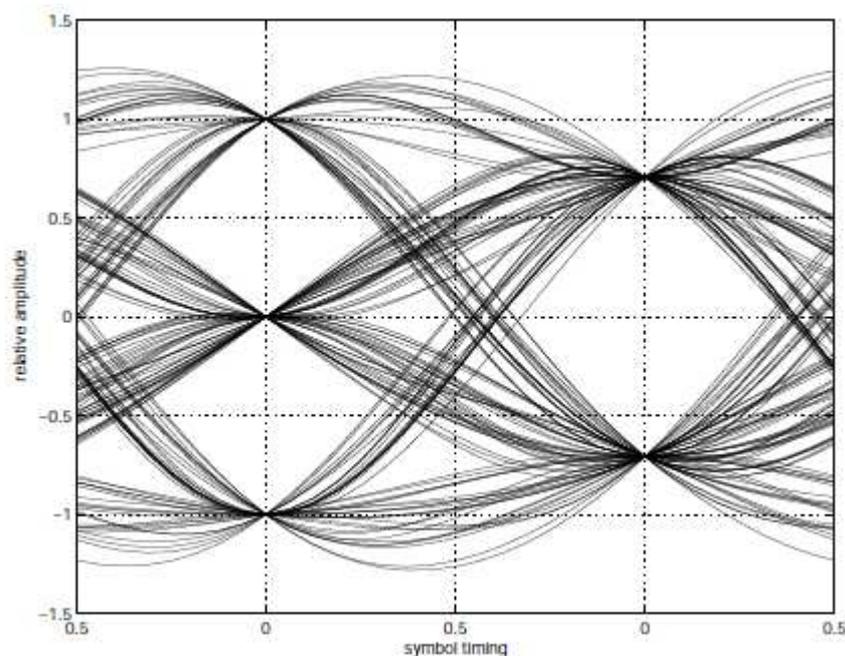


Figura 2. 16: Diagrama de ojo para modulación $\frac{\pi}{4}$ -DQPSK.

Fuente: Rice, M. (2009)

2.5.5. Transmisor para $\frac{\pi}{4}$ -DQPSK.

En la figura 2.17 se muestra el diagrama de bloques de un transmisor para $\frac{\pi}{4}$ -DQPSK, en la cual las líneas delgadas indican que son señales reales, y las líneas gruesas muestran señales complejas. Las particiones en el bloque nibbler del flujo de bits de entrada continua en dibits, a continuación, suministra estos dibits para la asignación (mapeado) de símbolos.

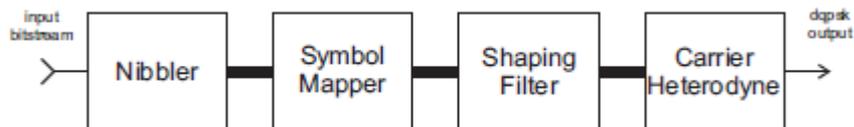


Figura 2. 17: Diagrama de bloque del transmisor para $\frac{\pi}{4}$ -DQPSK.

Fuente: Rice, M. (2009)

2.5.6. Receptor para $\frac{\pi}{4}$ -DQPSK.

En la figura 2.18 se muestra el diagrama de bloques para receptores diferenciales de banda base. El oscilador local genera una portadora en cuadratura, que se encuentra cerca de la frecuencia de portadora de $\frac{\pi}{4}$ -DQPSK, pero después de haber compensado una fase arbitraria. El receptor mezcla la LO asíncrono con la modulación $\frac{\pi}{4}$ -DQPSK heterodino para banda base.

La señal de banda base es compleja, indicada por la línea gruesa de la figura 2.18. Una raíz cuadrada del filtro pasa bajo de coseno elevado, elimina los productos de mezclas de señal de banda base compleja, y también completa la conformación de los impulsos de Nyquist.

La salida del filtro de conformación de impulsos es procesada por una función de arco tangente para recuperar el argumento, o ángulo, de la señal. A continuación, el receptor coloca el argumento de la banda base en una

línea de retraso de un símbolo, a continuación, resta la salida de la línea de retardo de la entrada de la línea de retardo. La señal resultante es la diferencia entre la fase de los símbolos presentes y anteriores. Esta diferencia de fase se alimenta al bloque de recuperación de la temporización de símbolos para la demodulación final.

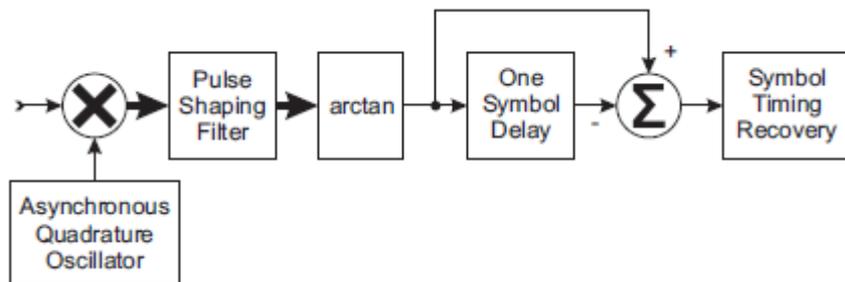


Figura 2. 18: Diagrama de bloque del receptor para $\frac{\pi}{4}$ -DQPSK.

Fuente: Rice, M. (2009)

Capítulo 3: Implementación sobre FPGA de Modem con modulación D-QPSK

3.1. Descripción básica de modulación D-QPSK.

La modulación por desplazamiento de fase en cuadratura diferencial (D-QPSK) que tiene una ventaja muy importante: no requiere de recuperación de la portadora. La operación de detección para los datos de codificación diferencial se realiza comparando el símbolo reciente con el símbolo precedido.

En las figuras 3.1 y 3.2 se muestran las diferencias entre las modulación QPSK y D-QPSK. Para el caso de QPSK (véase la figura 3.1), la información de la señal está representada por la diferencia de fase entre la señal modulada y la señal portadora original, lo que significa que, en el lado receptor, el sistema necesita conocer la fase de la portadora para la demodulación correcta.

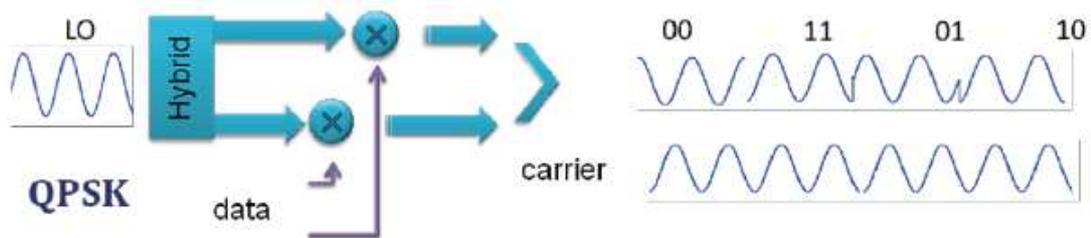


Figura 3. 1: Diagrama de la síntesis del diseño de flujo para FPGAs.

Fuente: Gohokar, V. (2013)

Para el caso de D-QPSK (véase la figura 3.2), la información de la señal está representada por la diferencia de fase entre la corriente y el símbolo anterior, con un diferencial de pre-codificación añadida al lado de transmisión. El receptor puede demodular la señal sin recuperación de la portadora.

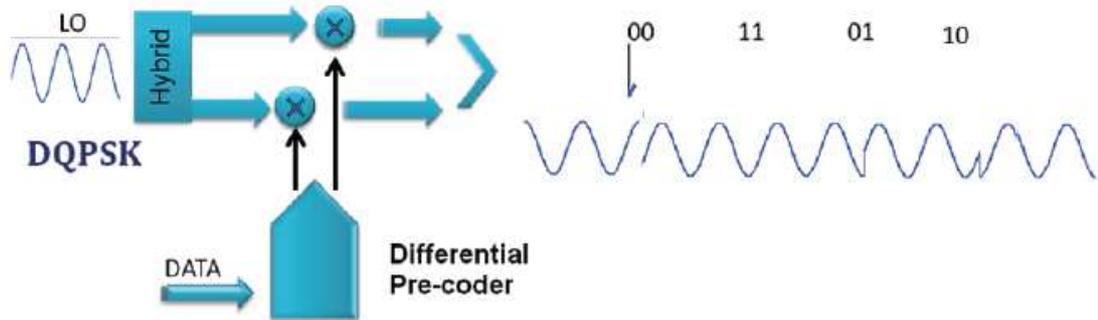


Figura 3. 2: Diagrama de la síntesis del diseño de flujo para FPGAs.
Fuente: Gohokar, V. (2013)

La regla de codificación D-QPSK utilizada en la programación se describe en la tabla 3.1. Esta regla de codificación es para mapear cada uno de los 2 bits de entrada en desplazamiento de fase, como se muestra en la Figura 3.3. Por ejemplo, si la señal de entrada es 00, de acuerdo con la regla de codificación, la diferencia en fase es de 180° . Esto significa si el último símbolo, por ejemplo, es 11, la entrada 00 dará una rotación de 180° , entonces la salida codificada será 00. El lado derecho de la figura 3.3 muestra cómo se representa DQPSK como puntos de constelación. En el lado del receptor, las líneas de decisión separan las señales I y Q a $+45^\circ$ y -45° . ¿Por D-QPSK?

Tabla 3. 1: Reglas para programación de la codificación D-QPSK.

Entrada	I	Q	$\Delta\theta$
00	I (k-1)	Q (k-1)	180°
01	Q (k-1)	I (k-1)	90°
10	Q (k-1)	I (k-1)	270°
11	I (k-1)	Q (k-1)	0°

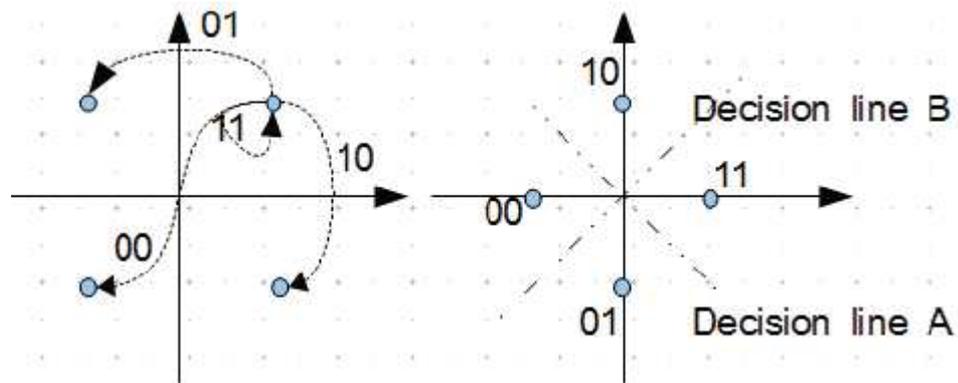


Figura 3. 3: Diagrama de la síntesis del diseño de flujo para FPGAs.

Fuente: Gohokar, V. (2013)

3.2. Descripción de la FPGA para la implementación.

La FPGA (Field ProgrammableGateArray) tiene abundantes recursos como bloques lógicos predefinidos y recursos de enrutamiento programables. Por programación, en realidad uno de re-direccionamiento para conectividad de todos los bloques lógicos creados previamente, así una FPGA se puede utilizar para una funcionalidad diferente.

Este procedimiento se logra con la ayuda de la herramienta de diseño asistido por ordenador que se traduce un código HDL (lenguaje de descripción de hardware) en el mapa de enrutamiento de FPGA integrada en bloques. La herramienta también genera un archivo de configuración o flujo de bits de que contiene información sobre cómo deben conectarse los componentes. Con el desarrollo de herramientas CAD, ahora, uno puede no sólo utilizando el código de HDL, sino también el uso de interfaz gráfica o incluso el código C para implementar la función lógica sobre una FPGA.

Las FPGAs son ampliamente utilizadas en todas las industrias, ya que combina las mejores partes de ASICs y los sistemas basados en el procesador. Es mucho más fácil de depurar y modificar el diseño, lo que reduce el riesgo de aplicar la función sobre la plataforma de hardware, que

se consigue mediante el desarrollo de ASIC personalizado. Como resultado, la FPGA es adecuada para la investigación y desarrollo de productos de fase temprana.

Las FPGAs son utilizadas para el control y la conexión de diferentes buses de datos digitales. La velocidad de datos máxima de una FPGA en general es de 1,2 Gbps que utiliza una LVDS (señalización diferencial de bajo voltaje) de interfaz estándar. Sin embargo, recientemente la velocidad del bus de datos está aumentando drásticamente, por ejemplo, los dispositivos SATA soportan velocidades de datos hasta 6 Gbps. Ya para el 2001, Altera diseña la primera familia de FPGA con transceptores integrado que servirían a ciertas aplicaciones. En la tabla 3.2 se muestra los diferentes dispositivos de FPGAs de Altera con transceptores integrados.

Tabla 3. 2: Listado de dispositivos FPGA con transceptores integrados.

Dispositivo de Altera	Procesado del Semiconductor	Número de Canales	Máxima Velocidad de datos (Gbps)
Stratix V GT	28 nm	66	28
Stratix V GX	28 nm	66	12.5
Stratix IV GT	40 nm	48	11.3
Stratix IV GX	40 nm	48	8.5
HardCopy IV GX	40 nm	36	6.5
Arria II GZ	40 nm	24	6.375

3.3. FPGAs de Altera utilizadas en el proyecto.

Para el presente proyecto se utilizan dos tarjetas FPGAs de Altera, la primera es la Stratix II GX (véase la figura 3.4) y la segunda es la Stratix IV GX (véase la figura 3.5).



Figura 3. 4: Tarjeta Stratix II GX de Altera.
Fuente: Altera.



Figura 3. 5: Tarjeta Stratix IV GX de Altera.
Fuente: Altera.

3.4. Técnicas para el diseño sobre FPGAs.

Se utilizará algunas técnicas para el diseño sobre FPGA, tales como la simulación de algoritmos, programación de algoritmos, implementación, medición y verificación. A continuación se describen las etapas para el desarrollo del presente proyecto:

1. La plataforma Matlab, es utilizada para el desarrollo de algoritmos y su respectiva simulación, así como la optimización de parámetros.

2. Programación y depuración de FPGA relacionadas, se realizan bajo la herramienta Quartus II de Altera. Para el desarrollo del proyecto, se utilizará el lenguaje Verilog para programar las FPGAs, donde Quartus II toma el código y convierte esto en un archivo de lista de conexiones y un archivo de flujo de bits.
3. La herramienta Modelsim, es utilizada para simular el comportamiento de las FPGAs. Esta herramienta puede tomar el archivo de lista de conexiones de Quartus II, a continuación, se le permite editar la forma de onda de entrada de la FPGA, Modelsim puede generar la forma de onda de salida, que puede ser verificada, de acuerdo con la funcionalidad de la FPGA.
4. Finalmente, utilizamos la herramienta LogicTap, para supervisar la ejecución del registro interno de la FPGA. LogicTap no muestra todos los datos en tiempo real, en cambio, puede capturar los datos dentro de cierto período de tiempo.

3.5. Diseño del Modem mediante modulación B-QPSK.

Para esta sección, el diseño del Modem se lo realiza en 3 etapas:

- a) Modulador B-QPSK.
- b) Codificación del algoritmo para el modulador B-QPSK.
- c) Demodulador B-QPSK.

3.5.1. Modulador B-QPSK.

Para esta sección se diseñará el modulador en base a la arquitectura convencional de D-QPSK, que se muestra en la figura 3.6.

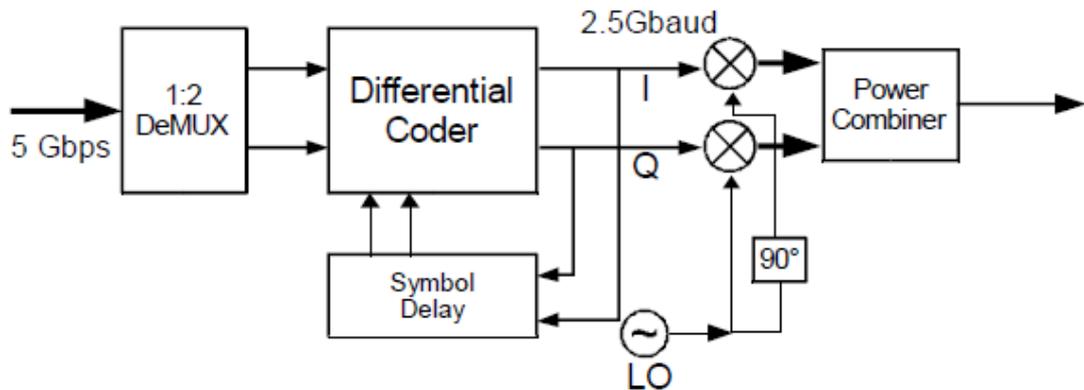


Figura 3. 6: Tarjeta Stratix IV GX de Altera.

Como se puede observar de la figura 3.6, una secuencia de datos igual a 5 Gbpses la primera entrada a un demultiplexor (DEMUX) de 1:2. Posteriormente, se requiere un codificador diferencial para producir la codificación I y Q de acuerdo a la regla de codificación mostrada en la tabla 3.1. Además, del codificador diferencialrequerimos de un bucle de retroalimentación para enviar tanto I y Q la información del último símbolo.

Este codificador diferencialopera a una velocidad de 2.5 GHz y producen las señales de codificación I y Q a 2.5 GBaudios. Dos compuertas lógicas XOR que operan hasta 13 Gbps, son utilizados como mezcladores. Un acoplador hibrido a 90°, convierte la señal del oscilador asimétrica en dos salidas de 90° fuera de fase. Mediante la combinación de las salidas de los mezcladores, la señal modulada D-QPSK producirá una portadora de 11,5 GHz.

Para realizar cada una de las funciones descritas en el presente trabajo a 5 Gbps, se deberá realizar tres retos principales. En primer lugar el demultiplexor1:2 a esta velocidad de operación no está disponible en el mercado; segundo, las cuatro señalesdos pares de señales diferenciales I , \bar{I} y Q , \bar{Q} todos tienen que ser de retraso de un período de símbolo y realimentadas al codificador diferencial mediante el uso de líneas de retardo.Tercero, no hay tal componente de codificación diferencial disponible

en el mercado. Por lo tanto, otra arquitectura es deseable con el fin de construir un modulador D-QPSK a esta velocidad de datos.

Mediante la tarjeta FPGA a través de los pines de E/S soportará velocidades de datos que soporten hasta 5 Gbps, para lo cual es posible construir un modulador sobre una FPGA que ejecute aplicaciones de alta velocidad de datos. En este trabajo final, la FPGA está actuando principalmente como el pre-codificador.

Un FPGA puede realizar operaciones lógicas a velocidades de hasta 500 MHz que todavía no es tan rápido como la velocidad de datos en nuestro caso. Sin embargo, mediante el uso de una estructura ilustrada en la figura 3.7, la FPGA puede procesar 5 Gbps de datos mediante el uso de un reloj interno de 250 MHz.

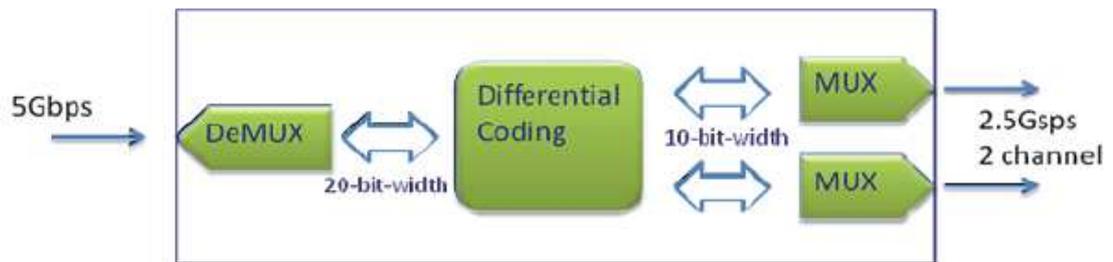


Figura 3. 7: Diagrama de bloques de modulador D-QPSK.
Elaborada por: El Autor.

La señal de reloj es la primera división en bus de 20 bits de ancho mediante el uso de un DEMUX interno cuya velocidad de datos del bus es 250 MHz. Entonces un bloque interno es utilizado para la ejecución de la codificación diferencial y posteriormente dos señales de 10 bits de ancho se emiten a la misma velocidad.

Mediante el uso de un multiplexor (MUX), la FPGA permite reconstruir la señal codificada de los canal I y Q (cada uno funciona a 2,5 Gbps (Giga-símbolos por segundo)). Los detalles del algoritmo de codificación se explicarán en la siguiente sección 3.5.2.

3.5.2. Codificación del algoritmo para el modulador B-QPSK.

Este proyecto ha sido realizado en base al artículo publicado en la IEEE International Conference, por Zhongxia, H., et al (2010). La memoria ROM utiliza un algoritmo para el sistema de codificación mostrado por la figura 3.8. Además, se utiliza un demultiplexor 1:16 que permite producir en un bus de datos 16 bits de ancho a una velocidad de 156.25MHz. Toda la posible salida codificada de estos datos de entrada de 16 bits se programa y se almacena en la ROM.

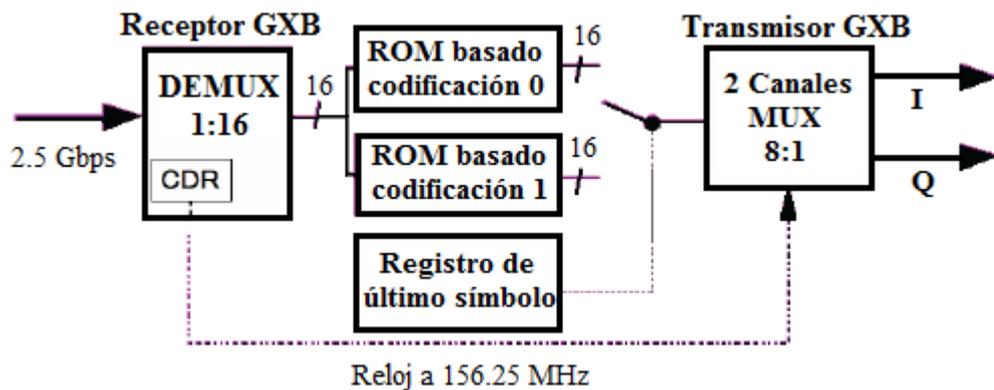


Figura 3. 8: Diagrama de bloques de modulador D-QPSK sobre FPGA.
Elaborada por: El Autor.

Mediante esto, con cada entrada de bus de 16 bits de ancho, el codificador simplemente comprueba la tabla de consulta en la ROM y da a cabo la salida. La función de codificación depende también de la situación de último símbolo, por lo tanto, se utilizan dos ROMs diferentes, cada uno de ellos supone una diferencia del estado del último símbolo. El último símbolo registra y memoriza los símbolos de salida real y controla el conmutador para elegir la salida real a ser transferido al MUX de 8:1.

A fin de que el diagrama de bloques anterior permita un sistema de comunicación a velocidades de 5 Gbps, un resultado directo de la modificación en nuestra versión se muestra en la figura 3.9. En primer lugar, el bloque se ha cambiado el DEMUX 1:16 por un DEMUX 1:20 con el propósito de apoyar la mayor velocidad de datos que debe ejecutarse sobre

la tarjeta FPGA, y segundo, los dos canales del MUX ha sido cambiado de 8:1 por un MUX de 10:1.

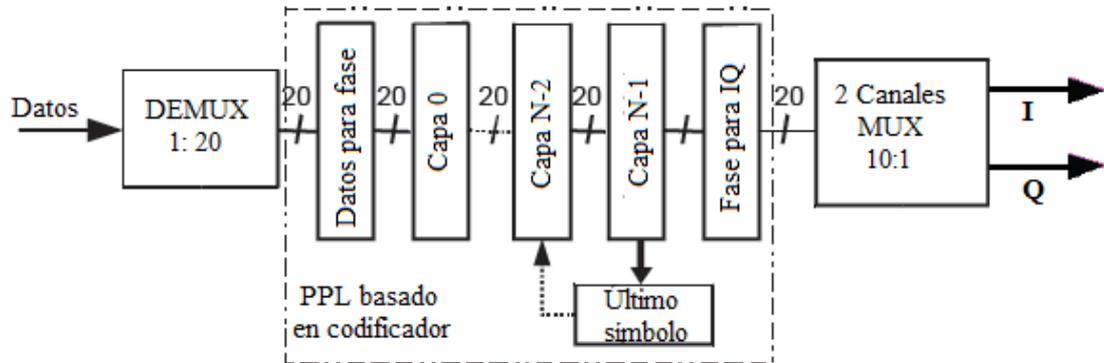


Figura 3. 9: Codificación D-QPSK para velocidades a 5 Gbps.
Elaborador: Autor.

Desafortunadamente, el diseño que se ilustra en figura 3.10 tiene una limitación grave, la anchura del bus de datos se incrementa de 16 a 20, la ROM de la tarjeta FPGA no podrá soportar los datos. Es decir, que el tamaño de la memoria ROM tiene que ser de al menos 2^{22} (2^{20} para los bits de entrada y 2^2 para el último símbolo) con el fin de almacenar una tabla de búsqueda para el bus de 20 bits de ancho. La tarjeta Stratix IV GX de Altera, se utiliza para verificar el funcionamiento, para lo cual el tamaño de memoria ROM es como máximo de 2^{18} . Por lo tanto ya no es aplicable para el sistema, pero se aplicará un algoritmo necesario para modificar los codificadores orientados bajo memorias ROM.

Desde la regla de codificación del D-QPSK (véase la tabla 3.2), la información de los datos se lleva al diferencial de fase entre el símbolo actual y el último. Para el bloque de codificación se conocen los datos de entrada de 20 bits y última posición de símbolo, el nuevo algoritmo tiene que calcular 10 símbolos de salida. El cálculo puede ser expresado matemáticamente como la fase del símbolo k-ésimo que resulta ser:

$$\phi_k = \phi_{int} + \sum_{i=0}^k \Delta\phi_i$$

Donde $\Delta\phi_i$ es la fase incremental de acuerdo con los datos de entrada, que se describió en la tabla 3.2, y ϕ_{int} es la fase del último símbolo. La entrada del codificador es de 20 bits de datos, un bloque 'de datos de fase' convierte la entrada en un conjunto de fases incrementales $[\Delta\phi_0, \Delta\phi_1, \dots, \Delta\phi_9]$. La acumulación de fase funciona por separado en diferentes capas, denominadas prefijo de capas paralelas (PPL).

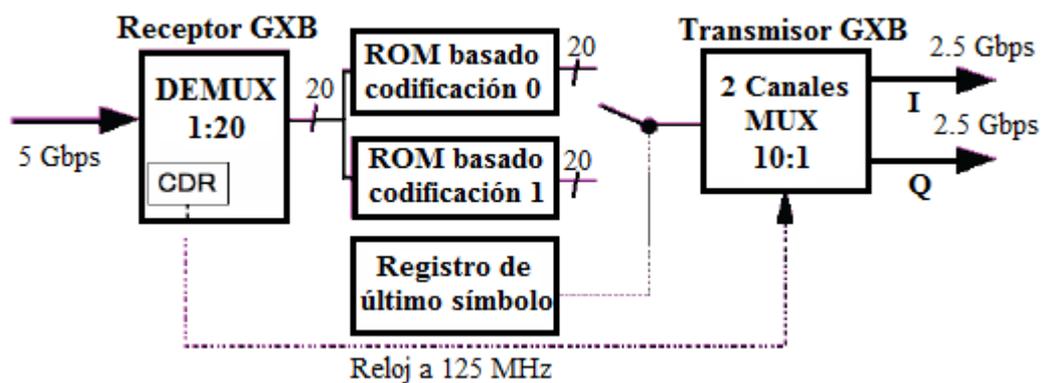


Figura 3. 10: Modificación de la codificación D-QPSK a 5 Gbps.
Elaborador: Autor.

La salida de la última segunda capa (*capa N – 1*) es:

$$\left[\Delta\phi_0, \sum_{i=0}^1 \Delta\phi_i, \dots, \sum_{i=0}^9 \Delta\phi_i \right]$$

ϕ_{int} es añadida en la capa final. La salida de las capas es la información de fase acumulada, que se convierte nuevamente en las expresiones I y Q en el bloque de "fase para IQ ". Entonces la codificación es como la que se muestra en la figura 3.9.

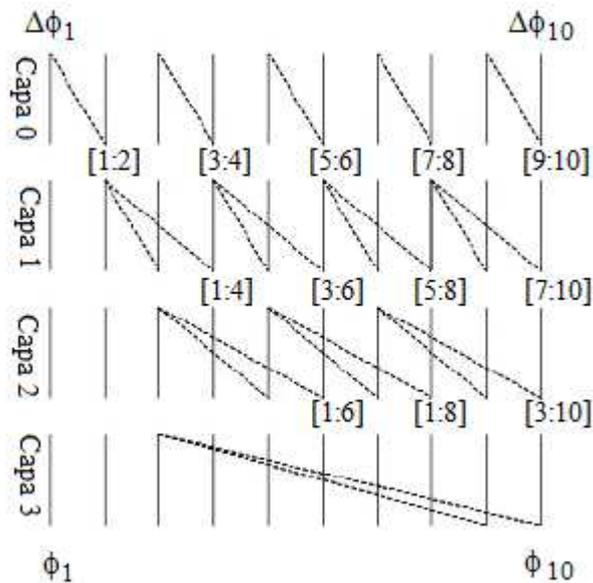


Figura 3. 11: Capas de prefijos paralelos para 10 símbolos.
Elaborador: Autor.

La estructura de la capa de prefijo en paralelo se muestra en la figura 3.11. Cada capa tiene de entrada desde la parte superior, y la salida de resultado en la parte inferior. La línea continua representa el resultado que se toma directamente de la entrada y la línea discontinua indica que el resultado es la suma de dos valores de entrada. El número en la parte inferior representa el índice del resultado, por ejemplo, el sexto nodo de capa 1 tiene un índice de [3: 6], lo que significa que la salida en este nodo es:

$$\sum_{i=3}^6 \Delta\phi_i$$

Y este resultado se sumará con el resultado de [1: 3] del tercer nodo de la siguiente capa, y luego producir un resultado de [1: 6] como la salida final. Sólo se tarda 3 capas para producir la suma:

$$\sum_{i=3}^6 \Delta\phi_i$$

la razón es que esta estructura PPL puede compartir parte del resultado del cálculo con otros nodos. En esta estructura, sólo se necesita $\lceil \log_2 \left(\frac{N}{2} \right) + 1 \rceil$ capas para el cálculo de N salidas. Además, las capas están completamente sincronizadas a una velocidad de reloj $1/N$ de la velocidad de datos, lo que minimiza el riesgo de enfrentar "raza condición" problema cuando la velocidad de datos se incrementa aún más.

3.5.3. Demodulador B-QPSK.

La estructura del demodulador D-QPSK de 2,5 Gbps se muestra en la figura 3.12. La señal de IF se introduce desde el lado izquierdo, divididas por dos ramas a través de un divisor (splitter) de potencia. Cada una de estas ramas se recupera un bit de cada símbolo de entrada.

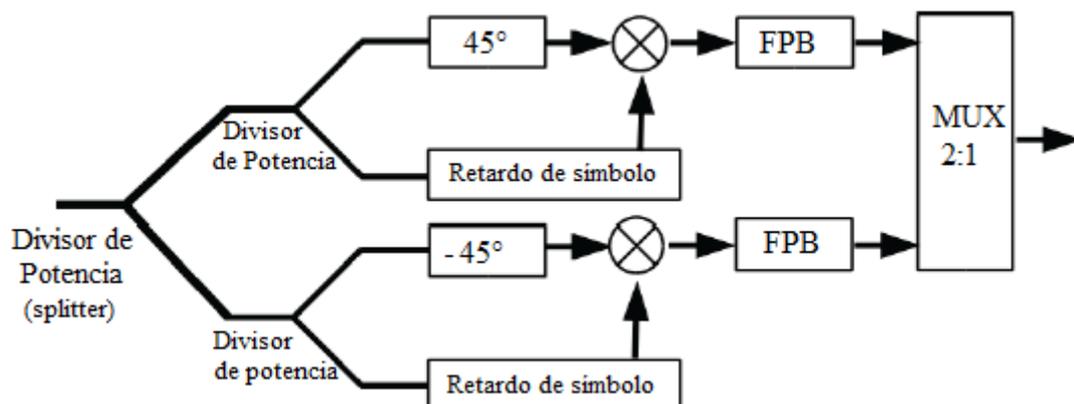


Figura 3. 12: Diagrama de bloques de la arquitectura del demodulador D-QPSK.
Elaboradorpor: Autor.

En la rama superior, un mezclador y un filtro de paso bajo (FPB) forman un detector de fase, donde la diferencia de fase entre un periodo de símbolo retrasa la señal IF y una fase desfasada 45° cuando se ha detectado la señal. Un bit es recuperado después del filtro pasa bajo. La rama inferior se tiene una estructura idéntica, excepto que se utiliza desplazador de fase de -45° , así otro bit se ha recuperado de la entrada. Estos dos bits

recuperados se combinan a través de un MUX 2:1, que se ha implementado sobre la FPGA de Altera.

Teóricamente, la estructura del demodulador D-QPSK trabajará a una velocidad de 5 Gbps, debido a que la trayectoria de retardo del filtro pasa bajo y consecuentemente el símbolo es actualizado. Sin embargo, la implementación sobre la FPGA (hardware) es difícil de lograr en la práctica, debido a dos factores:

1. El retardo del símbolo es exactamente igual a 400ps, lo que hace que el diseño de una sola línea física sea difícil e incluso más difícil mantener dos de tales líneas idénticas en longitud.
2. Esta estructura tiene cuatro parámetros que son sintonizables: dos desfases ajustables y dos elementos de retardo. Desde el punto de vista de la configuración, mientras mayor sea la velocidad de datos, menor será la tolerancia que el demodulador puede tomar, lo que plantea requisitos difíciles no sólo en el diseño de hardware, sino también en el funcionamiento manual para satisfacer la precisión.

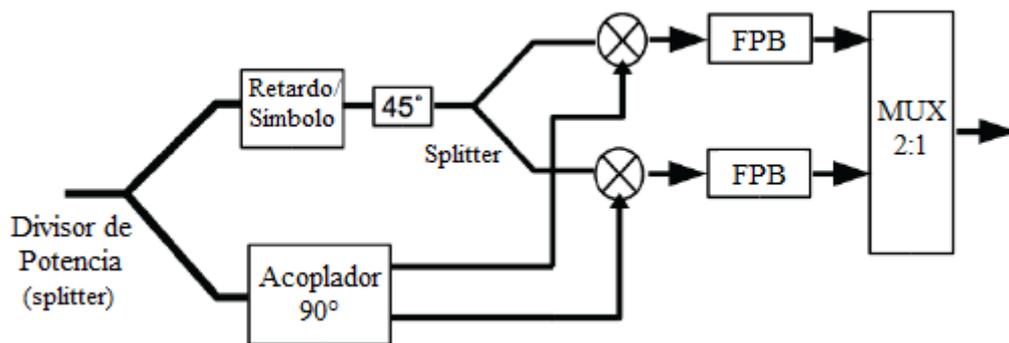


Figura 3. 13: Diagrama de bloques del demodulador D-QPSK mejorado.
Elaborador: Autor.

La estructura del demodulador mejorado se representa en la figura 3.13. Esta estructura utiliza un acoplador de 90° y se asegura de que la diferencia de fase entre las dos entradas para los mezcladores sea 90° fuera de fase. Por

coincidencia, el desplazador de fase de 45° tiene un retardo de propagación de aproximadamente 400ps que es lo mínimo requerido para el retraso de símbolo. Por lo tanto, no es sólo un componente sintonizable utilizado en esta estructura.

El demodulador comprende de un multiplexor MUX 2:1, no hay dispositivos de este tipo disponibles en el mercado. Por lo tanto, esta funcionalidad se implementa sobre la misma tarjeta FPGA utilizada para el pre-codificador a implementarse. En la figura 3.14 se muestra la estructura del MUX 2:1 implementada sobre la tarjeta FPGA. La FPGA tiene integrado un DEMUX de 1:10 y un MUX de 20:1, muy utilizados para manejar flujos de datos en Gbps. Un bloque de intercalado de bits se utiliza para hacer frente a la disposición de la función 2:1.

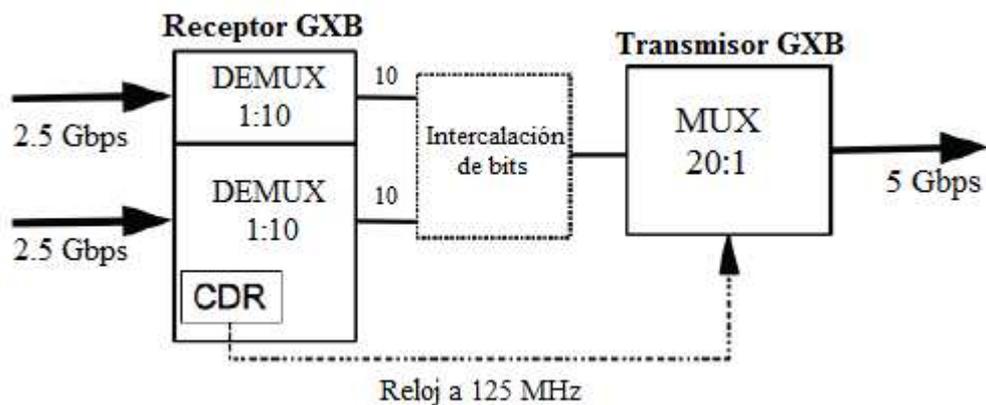


Figura 3. 14: Diagrama de bloques de la estructura de MUX 2:1 sobre FPGA.
Elaborador: Autor.

Capítulo 4: Resultado Experimental.

4.1. Configuración de la tarjeta FPGA de Altera.

En la figura 4.1 se observa en la entrada un generador de patrones, utilizado como fuente de datos, que sería la entrada al módem basado en una FPGA. La salida codificada I y Q de la FPGA se alimentan a dos mezcladores donde los datos serán modulados sobre una portadora cuya frecuencia es 11,5 GHz, también conocida como frecuencia intermedia (IF). Si es así, tal elección del módem podría ser utilizable con los transceptores en la banda E. El objetivo final de este proyecto es realizar las pruebas del módem diseñado para radio enlaces a 5 Gbps en la banda E (frecuencias entre 71-76 GHz y 81-86 GHz).

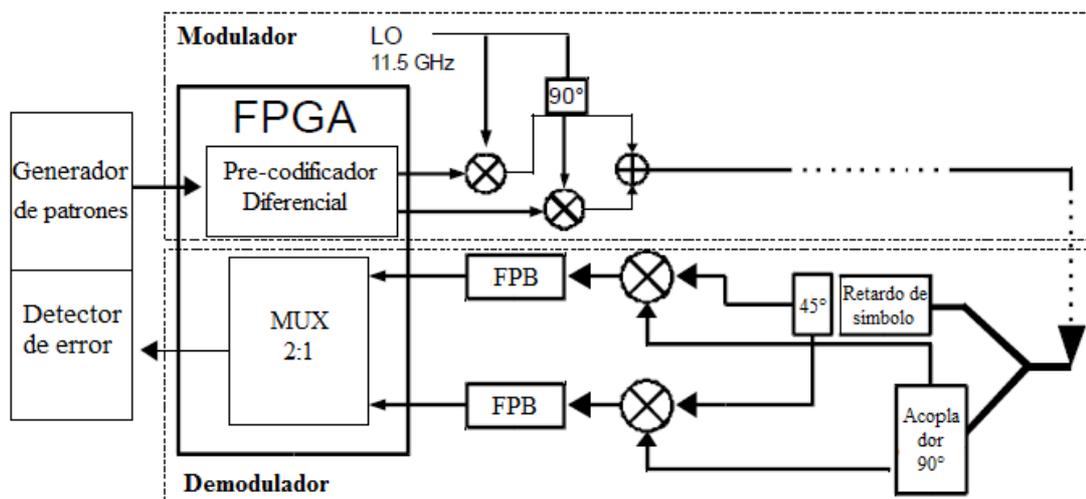


Figura 4. 1: Diagrama de bloques para pruebas del proyecto.

Elaborado por: Autor

4.2. Medición en el dominio del tiempo de la señal de salida FPGA.

Una cuestión importante para el flujo de datos de alta velocidad, es la calidad de la señal. La calidad de señal puede ser definida como tanto del margen de umbral y margen de fase tal como se muestra en la figura 4.2. El margen de umbral, es la diferencia de voltaje entre el valor máximo y mínimo

de la tensión de umbral, cuando la tasa de error de decisión se encuentra dentro de un cierto límite. El margen de fase, se define como el intervalo de la temporización de decisión, en el que la tasa de error de decisión está dentro del límite. La unión de los margen de umbral y el margen de fase se describe como un "ojo", mientras más grande es el ojo mejor será la calidad de la señal recibida.

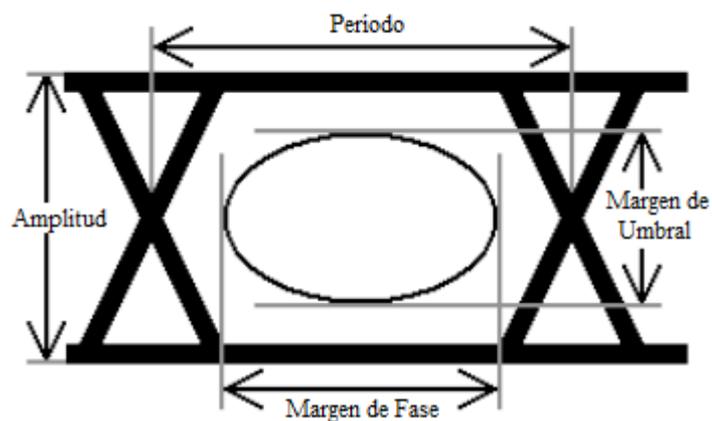


Figura 4. 2: Diagrama de ojo con margen de fase.
Elaborado por: Autor

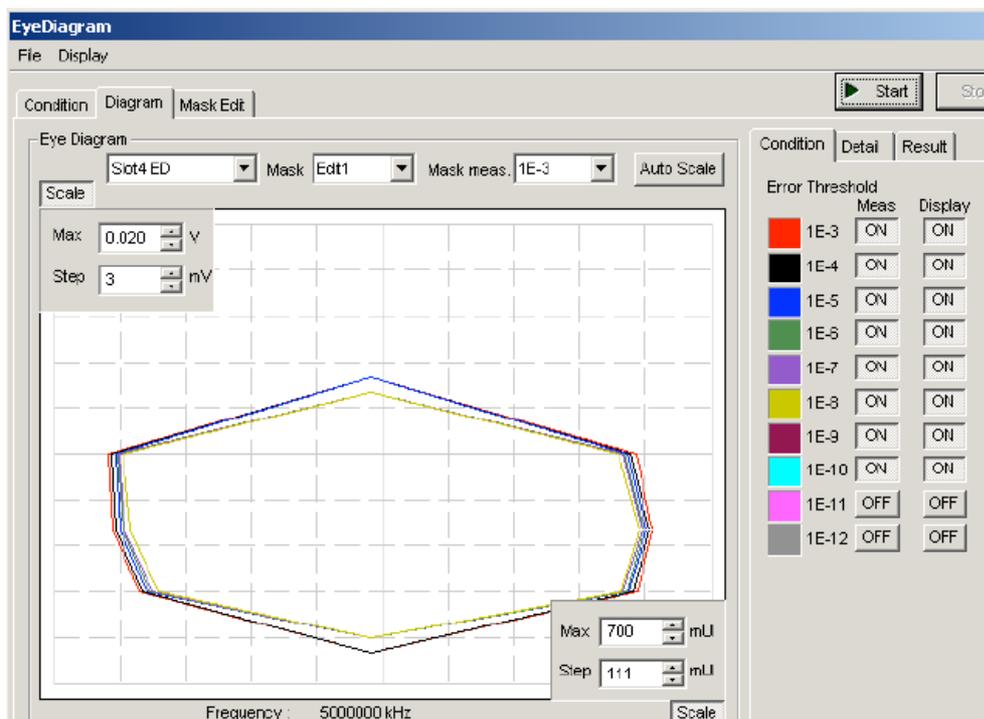


Figura 4. 3: Resultado de la prueba sobre la FPGA.

La FPGA está programada para que pueda pasar un flujo de datos a velocidades de 5 Gbps. Desde la FPGA se reciben datos para así obtener un resultado a través de la tasa de error de bits (BER), y su salida se alimenta de nuevo al instrumento. El umbral y el margen de fase se prueban simultáneamente.

Para cierta BER, el diagrama de ojo del margen de fase y el margen de voltaje se muestran curvas con diferentes colores en la figura 4.3. El resultado de la prueba de esta FPGA, muestra la diferencia de margen para diferentes BER pequeñas, lo que indica una excelente calidad de señal. El flujo de datos de alta velocidad se obtiene mediante la FPGA con un bucle interno de fase digital de bloqueo (DPLL).

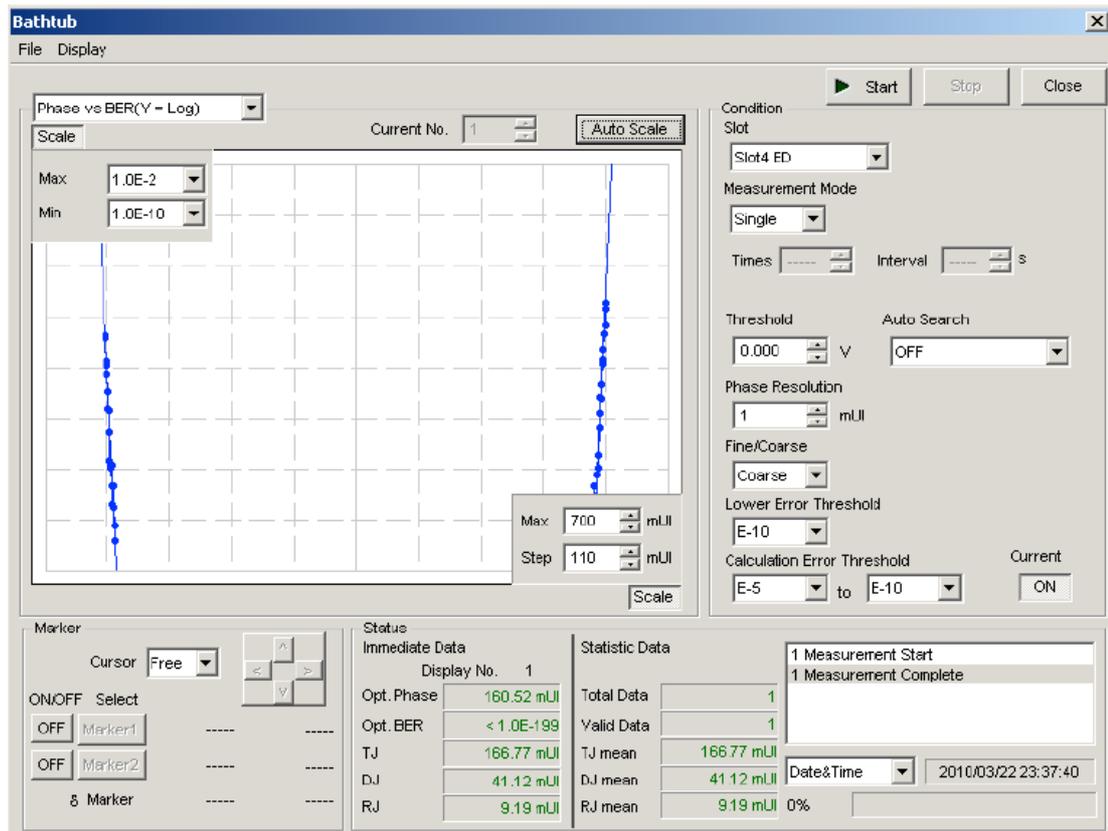


Figura 4. 4: Diagrama de ojo con margen de fase.

El DPLL ha limitado el rendimiento de ruido de fase, lo que resulta una fluctuación de fase mayor de los datos de salida después de la FPGA.

Mediante la prueba realizada podemos medir la fluctuación de fase de la salida. En la figura 4.5 se muestra la fluctuación de fase definida (DJ) que para este caso es 41.12mUI y la fluctuación aleatoria (RJ) es 9.19mUI (mili-Unidad-intervalo). Esto significa que el comportamiento de la fluctuación está limitado principalmente por DJ y relacionada con la arquitectura de la interfaz del hardware de alta velocidad de la FPGA.

En la figura 4.5 se muestra el diagrama de ojo para transmisiones de datos a 5 Gbps desde la entrada del generador de patrones (diagrama superior) y en la salida de la FPGA (diagrama inferior). La calidad de la señal de la segunda secuencia de flujos de datos parece igualmente bueno.

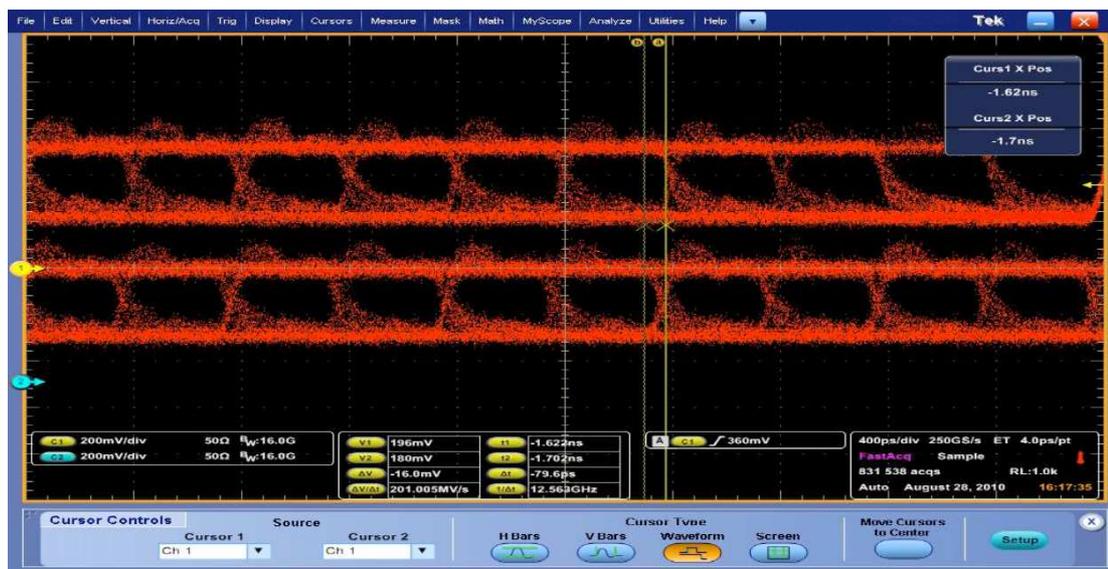


Figura 4. 5: Diagrama de ojo con margen de fase.

4.3. La forma de onda del demodulador

El diagrama en ojo de la salida del demodulador se muestra en la Figura 24. Al ajustar los elementos de retardo en el demodulador, el diagrama de ojo puede ser aún más optimizado.

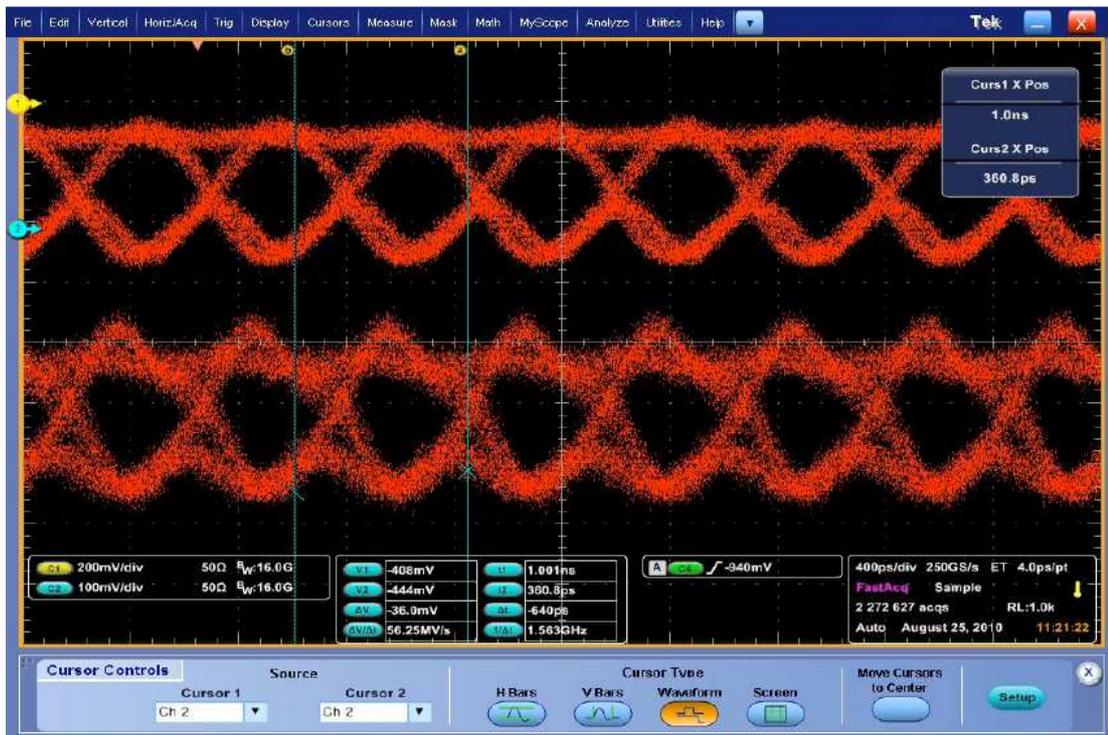


Figura 4. 6: Diagrama de ojo con margen de fase.

4.4. Medición del dominio de la frecuencia.

Los lóbulos principales de la señal D-QPSK de doble banda lateral para transmisiones de datos a 5 Gbps, ocupan un ancho de banda entre 5 GHz y 11,5 GHz (la portadora de frecuencia intermedia, IF).

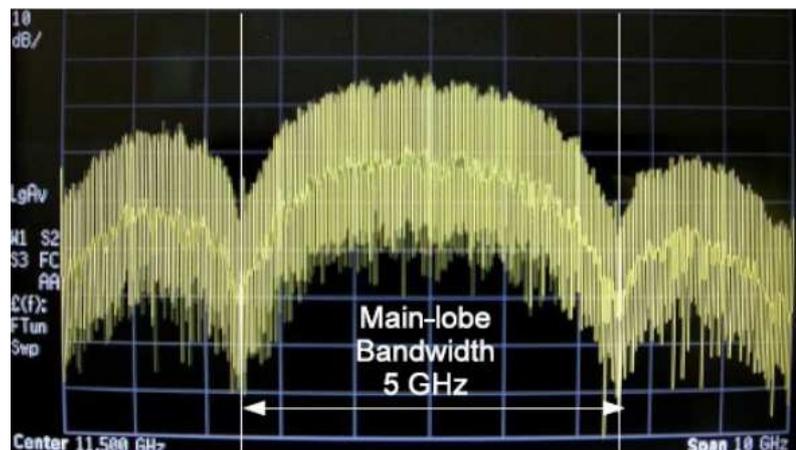


Figura 4. 7: Curvas BER y E_b/N_0 de BPSK teórico e implementado.

Capítulo 5: Conclusiones y Recomendaciones.

5.1. Conclusiones.

1. A través del estado del arte de las modulaciones digitales en fase (PSK) se revisaron las diferentes técnicas existentes y que facilitaron el diseño de un modem utilizando la modulación D-QPSK.
2. El diseño del modem se pudo comprobar su funcionamiento sobre la placa de entrenamiento FPGA, lo que finalmente se logró transmitir datos a velocidades de 5 Gbps. El rendimiento del sistema es muy sensible a la parte analógica del módem, especialmente los elementos de retardo y el desplazamiento de fase.
3. No hubo la necesidad de recuperar la señal de portadora en la detección no coherente; sin embargo, es necesaria la recuperación de reloj de datos para la alineación del reloj con la salida en serie de datos a 5 Gbps.

5.2. Recomendaciones.

1. Desplegar proyectos de investigación sobre comunicaciones digitales mediante alguna de las técnicas de modulación PSK.
2. Promover el uso de las FPGAs para aplicaciones en el área de las Telecomunicaciones.

Referencias Bibliográficas

Bateman, A. (2007). *Comunicaciones Digitales*. Marcombo S. A. Barcelona, España.

Castro L., A. R., & Fusario, R. J. (2013). *Comunicaciones: una introducción a las redes digitales de transmisión de datos y señales isócronas*. Alfaomega Grupo Editor. Buenos Aires, Argentina.

El-Gabaly, A. (2007). *Radio Frequency Direct-Digital QPSK Modulators in CMOS Technology*. Tesis de Maestría de Ciencias Ingeniería de la Universidad de Queen.

García R., D. (2003). *Análisis y Simulación de un Modem utilizando la técnica digital de modulación QPSK*. Tesis de Grado Académico para obtención de Maestría en Ciencias.

Gohokar, V. (2013). *Simulation of Digital Modulation Techniques*. IETE Journal of Education.

Proakis, J. G. (1995). *Comunicaciones Digitales*. McGraw-Hill, New York, USA.

Rice, M. (2009). *Digital Communications: A Discrete-Time Approach*. Pearson Prentice Hall.

Sánchez L., R. (2009). *Esencias de Ingeniería de Comunicaciones digitales: un enfoque teórico – práctico*. Publicaciones Instituto Politécnico Nacional, México D.F.

Sendin E., A. (2004). *Fundamentos de los sistemas de comunicaciones móviles: evolución y tecnologías*. McGraw-Hill. Madrid, España.

Suárez V., F. (2012). *Transmisión digital de información*. Universitas – Editorial Científica Universitaria. Córdoba, Argentina.

Zhongxia, H., Jingjing, C., Yinggang, L., & Zirath, H. (2010). *A Novel FPGA-Based 2.5 Gbps D-QPSK Modem for High Capacity Microwave Radios*. IEEE International Conference pp.1-4.

Zorzano M., A. M. (2004). *Amplificador de audio de alta fidelidad para sistemas activos de altavoces con bajo consumo de energía*. Tesis Doctoral Ingeniero Industrial de la Universidad de Zaragoza.